

KOMPUTEROWE SYSTEMY POMIAROWE

Dr inż. Eligiusz PAWŁOWSKI

Politechnika Lubelska

Wydział Elektrotechniki i Informatyki

Prezentacja do wykładu dla EMNS - ITwE

Semestr letni

Wykład nr 4



Prawo autorskie

Niniejsze materiały podlegają ochronie zgodnie z **Ustawą o prawie autorskim i prawach pokrewnych** (Dz.U. 1994 nr 24 poz. 83 z późniejszymi zmianami).

Materiał ten udostępniam **do celów dydaktycznych** jako materiały pomocnicze do wykładu z przedmiotu Komputerowe Systemy Pomiarowe prowadzonego dla studentów Wydziału Elektrotechniki i Informatyki Politechniki Lubelskiej. Mogą z nich również korzystać inne osoby zainteresowane tą tematyką. Do tego celu materiały te można **bez ograniczeń przeglądać, drukować i kopiować wyłącznie w całości**.

Wykorzystywanie tych materiałów bez zgody autora w inny sposób i do innych celów niż te, do których zostały udostępnione, **jest zabronione**.

W szczególności **niedopuszczalne jest**: usuwanie nazwiska autora, edytowanie treści, kopiowanie fragmentów i wykorzystywanie w całości lub w części do własnych publikacji.

Eligiusz Pawłowski

Uwagi dydaktyczne

Niniejsza prezentacja stanowi **tylko i wyłącznie materiały pomocnicze** do wykładu z przedmiotu Komputerowe Systemy Pomiarowe prowadzonego dla studentów Wydziału Elektrotechniki i Informatyki Politechniki Lubelskiej. Udostępnienie studentom tej prezentacji nie zwalnia ich z konieczności sporządzania **własnych notatek z wykładów** ani też nie zastępuje **samodzielnego studiowania** obowiązujących podręczników.

Tym samym zawartość niniejszej prezentacji w szczególności **nie może być** traktowana jako zakres materiału obowiązujący na egzaminie.

Na egzaminie obowiązujący jest **zakres materiału faktycznie wyłożony podczas wykładu** oraz zawarty w odpowiadających mu fragmentach **podręczników** podanych w wykazie literatury do wykładu.

Eligiusz Pawłowski

Systemy interfejsu współczesnych KSP

1–Interfejsy kasetowe:

- magistrale komputerów klasy IBM PC: ISA, PCI, PCMCIA
- magistrale komputerów specjalizowanych: PXI
- magistrale kaset pomiarowych: VXI, CAMAC

2–Interfejsy przyrządowe:

- interfejsy równoległe: IEEE 488, IEEE1284
- interfejsy szeregowo: RS232, RS422, RS485, USB, IEEE 1394
- interfejsy czujników: I2C, 1-wire, SPI

3–Interfejsy sieciowe:

- Ethernet
- CAN, PROFIBUS

Podstawowe struktury współczesnych komputerów

1–Architektura von Neumanna: komputery klasy PC i podobne, wyposażone w BIOS oraz system operacyjny. Pierwsza konstrukcja: **EDVAC**, Los Alamos, rok 1945. Opracowany na University of Pennsylvania na zamówienie United States Army

2–Architektura harwardzka: mikrokontrolery jednokładowe, procesory sygnałowe DSP, programowalne sterowniki logiczne PLC. Pierwsza konstrukcja: **Mark I**, Harvard, rok 1944. Zbudowany przez firmę IBM na zamówienie United States Navy i zainstalowany na Harvard University (więcej na pierwszym wykładzie)

Architektura von Neumanna – krótka historia



John von Neumann, 1940r.

Architektura komputerowa która została opisana w 1945 r. w raporcie "*First Draft of a Report on the EDVAC*" przez Johna von Neumanna, efekt wspólnych prac z Johnem W. Mauchly'ym i Johnem Presper Eckertem, prowadzonych na zlecenie rządu USA w laboratorium Los Alamos. *EDVAC - Electronic Discrete Variable Automatic Computer* (elektroniczny automatyczny licznik zmiennych dyskretnych).

Architektura von Neumanna – krótka historia

First Draft of a Report
on the EDVAC

by

John von Neumann

Strona tytułowa wstępnego
raportu (draft) z kontraktu
wartego **100 000 US\$**,
ostateczny koszt wyniósł
500 000 US\$,

Contract No. W-670-ORD-4926

Between the

United States Army Ordnance Department

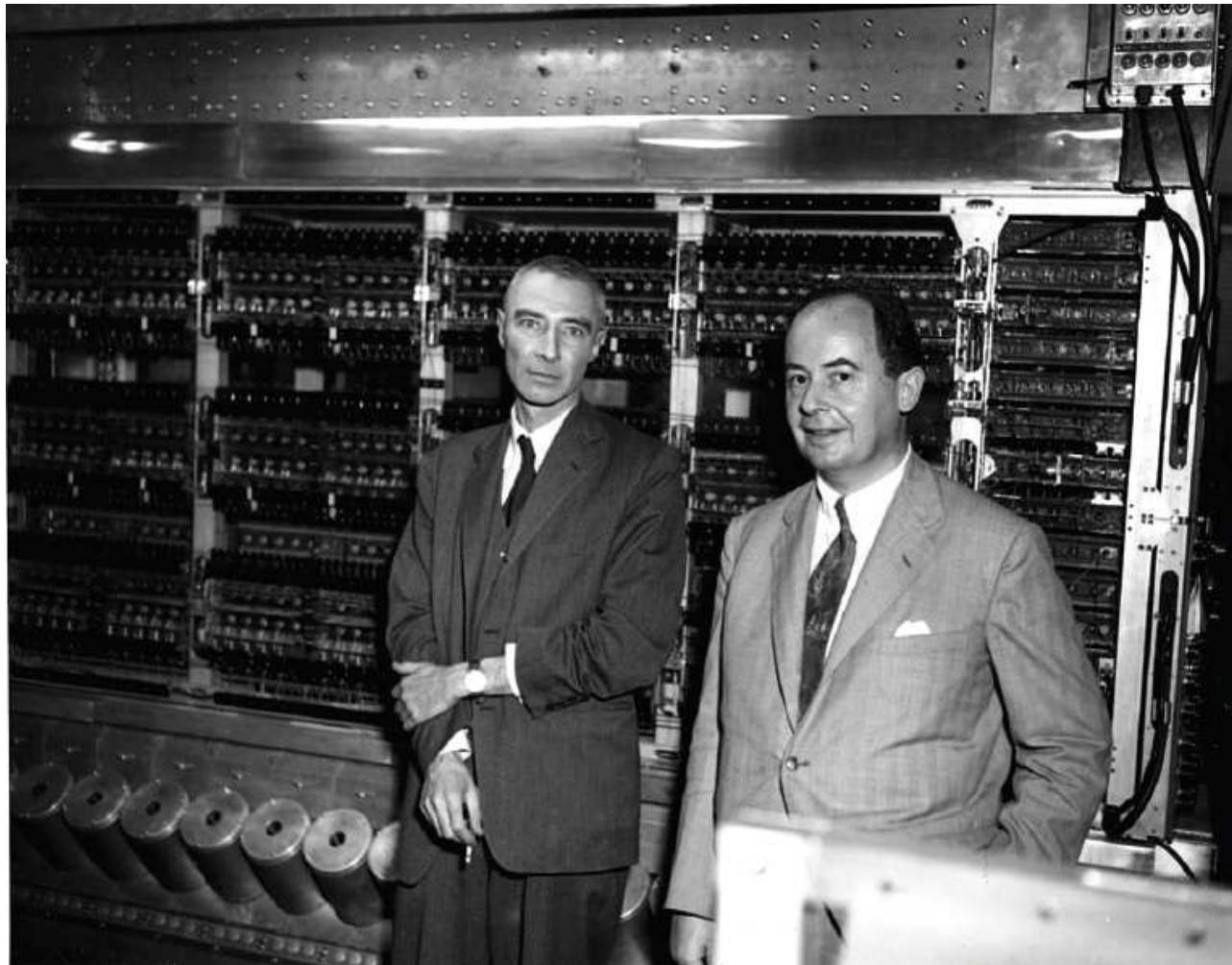
and the

University of Pennsylvania

Moore School of Electrical Engineering
University of Pennsylvania

June 30, 1945

J. R. Oppenheimer, J. von Neumann and EDVAC



J. Robert Oppenheimer (left) and John von Neumann at the October 1952. Oppenheimer was head of the Los Alamos Laboratory during the World War II.

Architektura von Neumanna

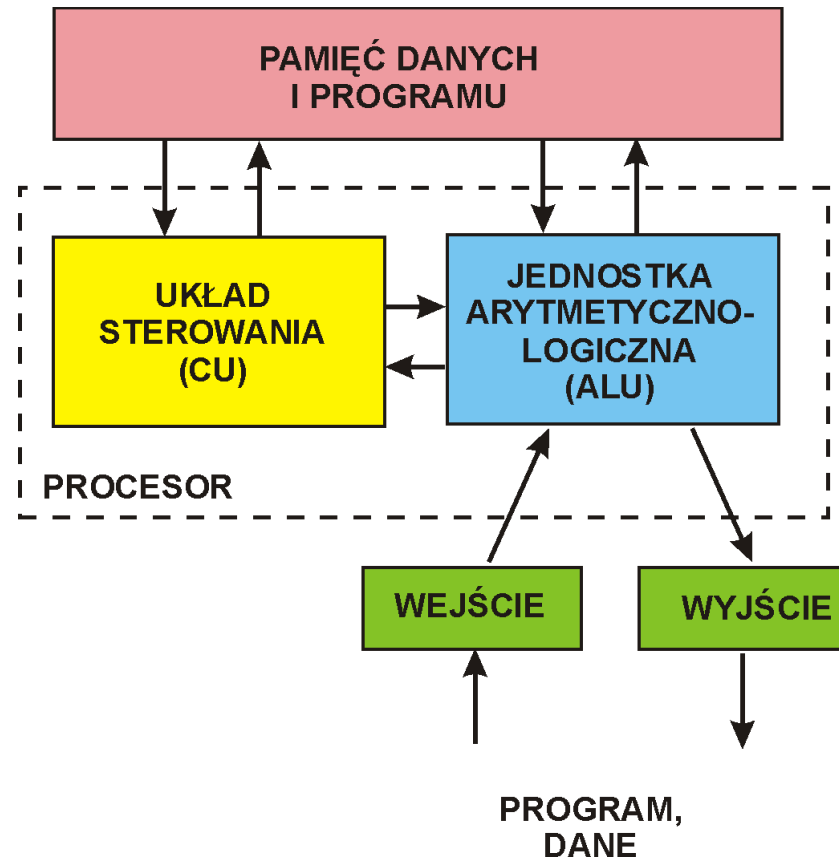
Architektura von Neumanna składa się z trzech części:

- procesora zawierającego układ sterowania i ALU,
- pamięci, wspólnej dla danych i programu,
- urządzenia wejścia-wyjścia.

Architektura von Neumanna charakteryzuje się:

- skończoną i funkcjonalnie pełną listą rozkazów,
- możliwością wprowadzenia programu i danych do pamięci poprzez urządzenia wejścia-wyjścia,
- jednakową dostępnością programu i danych dla procesora – możliwość modyfikacji programu przez procesor,
- sekwencyjnym przetwarzaniem danych według instrukcji odczytywanych przez procesor z pamięci.

Architektura von Neumanna



Architektura von Neumanna – wspólna pamięć programu i danych

Architektura harwardzka (Harvard Mark I, 1944)

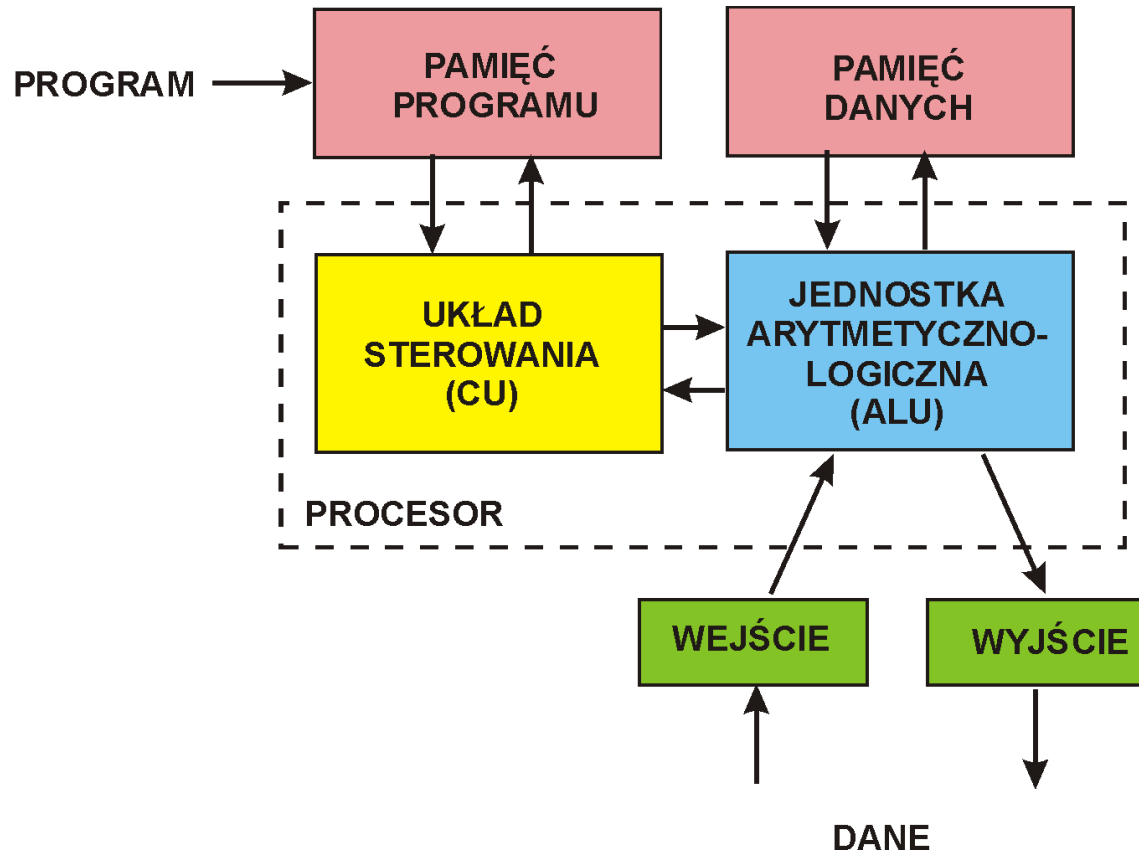
Architektura harwardzka składa się z trzech części:

- procesora,
- oddzielnych pamięci programu i pamięci danych
- urządzenia wejścia-wyjścia.

Architektura harwardzka charakteryzuje się:

- brakiem możliwości wprowadzenia programu do pamięci poprzez urządzenia wejścia-wyjścia,
- brakiem możliwości modyfikacji programu przez procesor,
- brak możliwości programowania, praca ze stałym programem,
- wysoką wydajnością dzięki możliwości równoczesnego pobierania instrukcji i danych z oddzielnych pamięci.

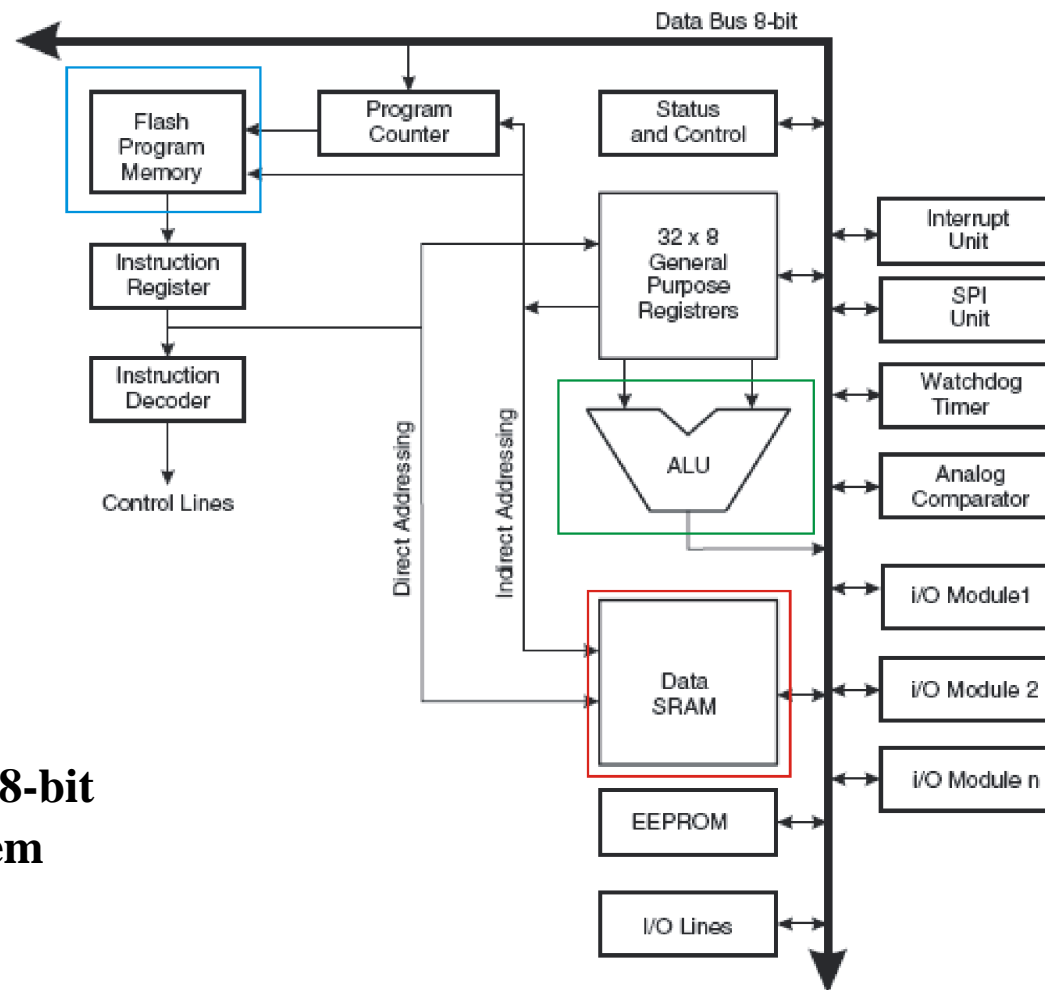
Architektura harwardzka



Architektura harwardzka – rozdzielona pamięć programu i danych

Architektura harwardzka-procesor AVR ATmega

Figure 6-1. Block Diagram of the AVR MCU Architecture



Źródło:

**ATmega8 Data Sheet: 8-bit
with 8K Bytes In-System
Programmable Flash**

Architektura harwardzka-realizacja w procesorze DSP

Źródło:

The Scientist and Engineer's Guide to Digital Signal Processing

by

Steven W. Smith,
Ph.D.

(Analog Devices)

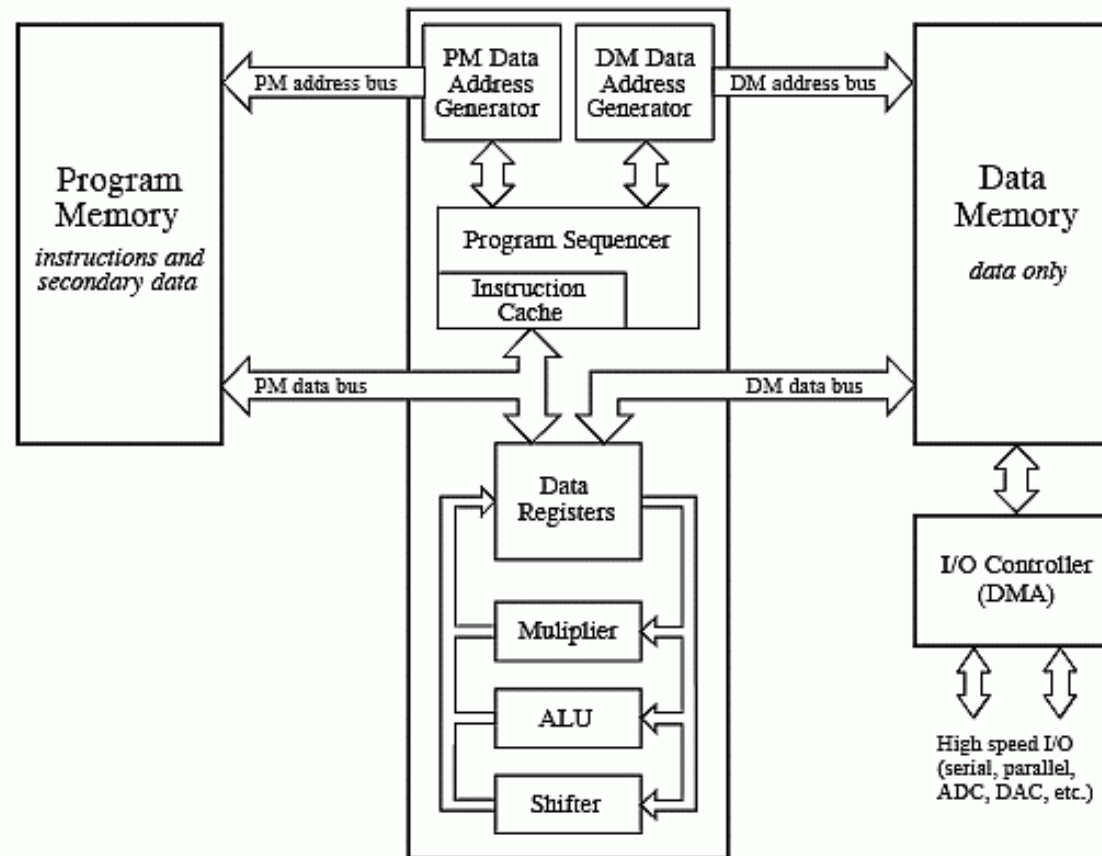


FIGURE 28-5

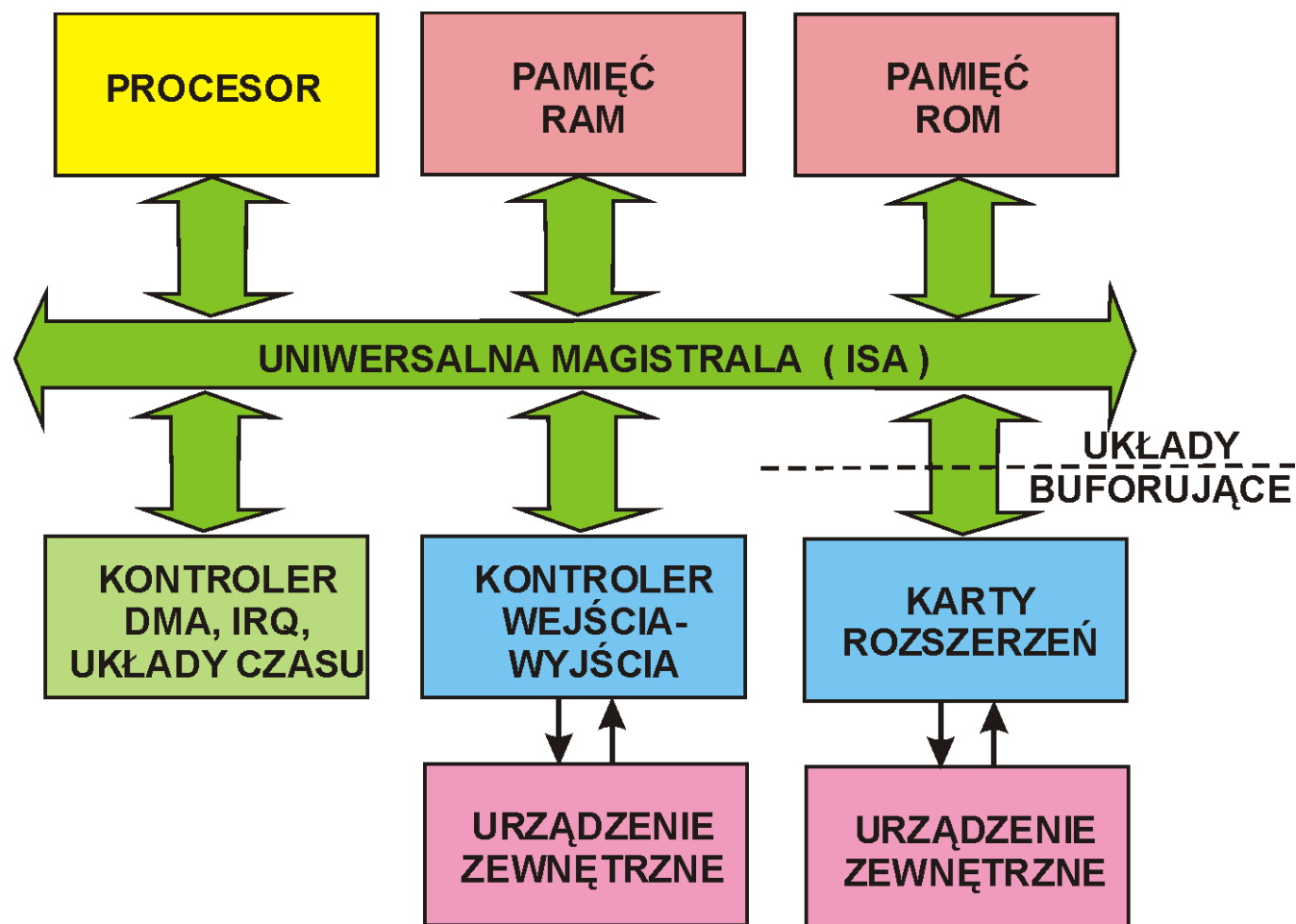
Typical DSP architecture. Digital Signal Processors are designed to implement tasks in parallel. This simplified diagram is of the Analog Devices SHARC DSP. Compare this architecture with the tasks needed to implement an FIR filter, as listed in Table 28-1. All of the steps within the loop can be executed in a single clock cycle.

Architektura von Neumanna – realizacje w komputerach PC

Historyczny rozwój struktury komputerów PC:

- szynowa z pojedynczą magistralą (ISA)
- szynowa z podwójną magistralą (FSB + ISA)
- szynowa z potrójną magistralą (FSB + PCI + ISA)
- szynowe ze zredukowaną liczbą magistral (PCIe)

Architektura pojedynczej magistrali – struktura ISA



W standardzie ISA (*Industry Standard Architecture*) wszystkie elementy pracują z tą samą szybkością, magistrala podzielona jest na kilka części układami buforującymi

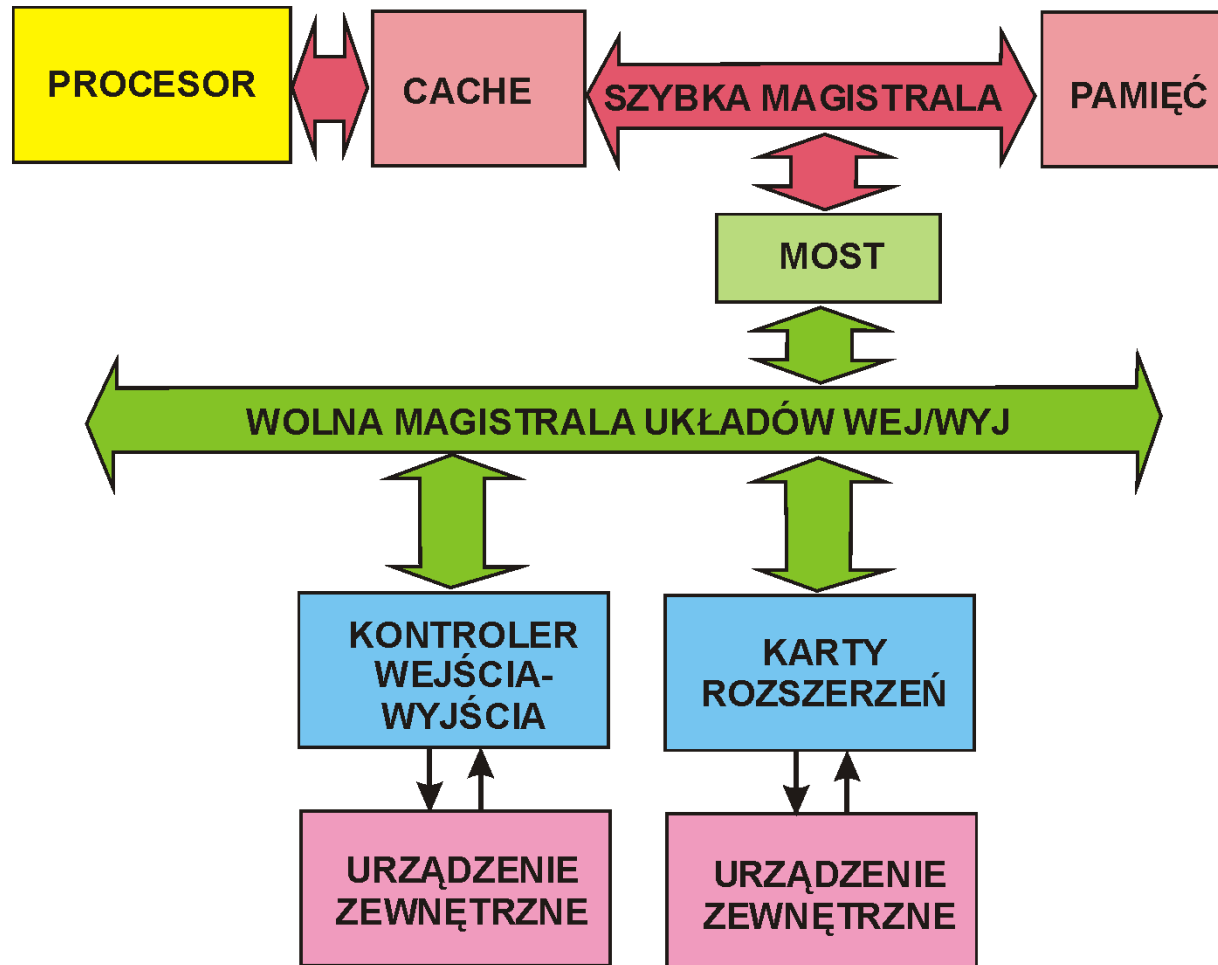
Architektura pojedynczej magistrali - właściwości

- Wprowadzona na szeroką skalę w PC.
- Podstawą architektura jest szyna (zespół przewodów połączonych z gniazdami).
- Komputer ma postać kasety lub szafy z wymiennymi modułami –szufladami
- Łatwa rekonfiguracja i rozbudowa komputera.
- Stosunkowo niska cena.
- Sterowniki urządzeń wejścia-wyjścia dostępne do procesora w taki sam sposób jak pamięć.
- Model szynowy stanowi wygodny model logiczny komputera, niezależnie od fizycznej implementacji (wszystkie współczesne komputery mają model logiczny (programowy) bazujący na modelu szynowym).
- Architektura szynowa jest typową architekturą systemów mikroprocesorowych i mikrokomputerów (w komputerach osobistych, stacjach roboczych i serwerach była stosowana do ok. 1994 roku).

Architektura pojedynczej magistrali - problemy

- **Długość** i struktura połączeń **ogranicza szybkość** transmisji magistrali
- Dysproporcja wydajności procesora i pamięci jest dodatkowo powiększana przez wolną transmisję danych na szynie
- Krytyczna jest szybkość dostępu procesora do pamięci (inne transmisje, np. do i z urządzeń wejścia-wyjścia, zachodzą stosunkowo rzadko i mogą być realizowane wolniej).
- Długość szyny wynika z konieczności dołączenia wielu urządzeń - sterowników wejścia – wyjścia

Architektura podwójnej magistrali - struktura



Pamięć i układy wejścia/wyjścia pracują z różną szybkością

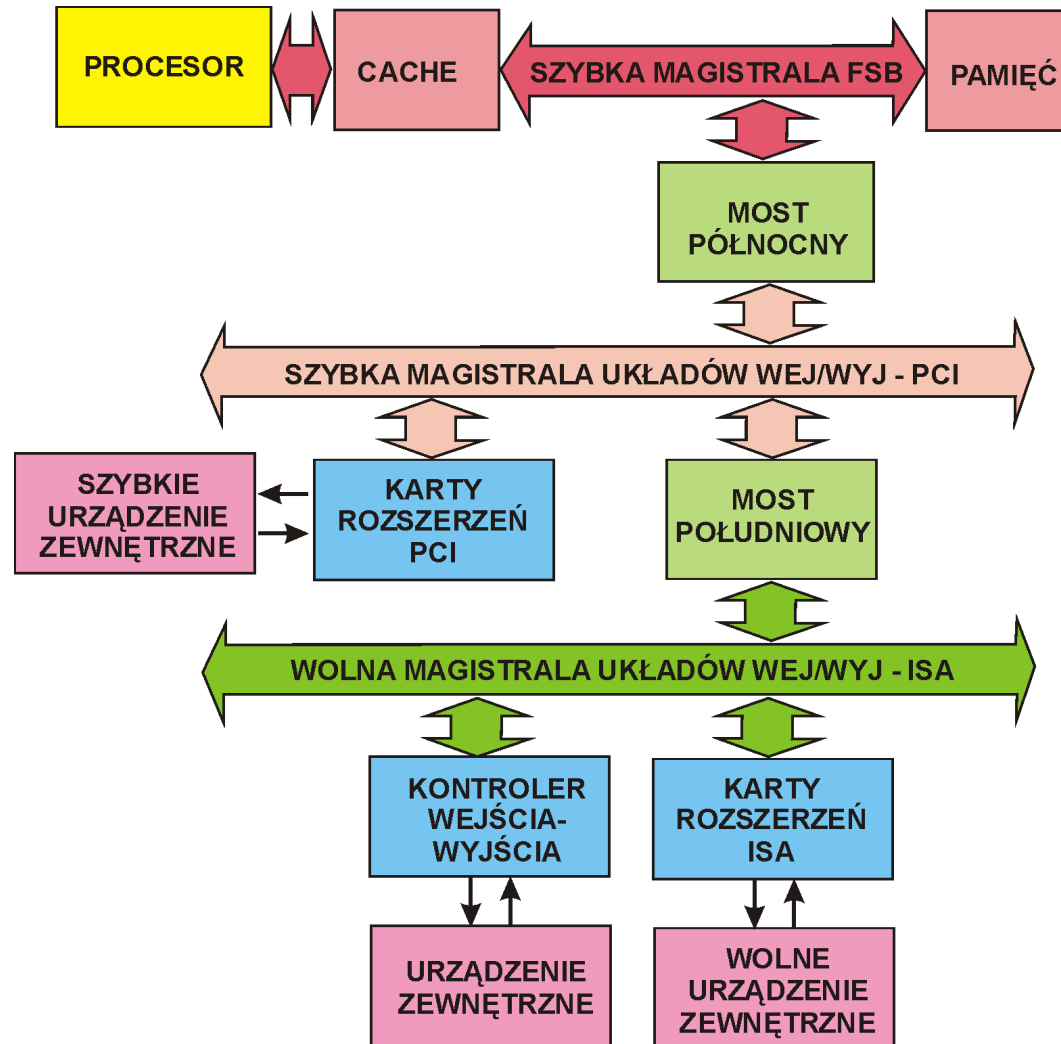
Architektura podwójnej magistrali - właściwości

- Szybka, krótka magistrala (szyna) łączy procesor (lub procesory) z pamięcią i ew. pamięcią podręczną –kieszenią (*ang.cache*).
- Wolna (dłuższa) szyna (magistrala) obsługuje sterowniki urządzeń wejścia wyjścia.
- Obie magistrale (szyny) są połączone za pomocą mostu (*ang. bridge*).
- Logicznie obie szyny są widziane przez procesor jak jedna, ale różnią się głównie parametrami elektrycznymi i wydajnością.
- Architektura stosowana w komputerach PC w latach 1994 - 1998.
- Standardy EISA, MCA, VESA (VLB).

Architektura podwójnej magistrali - problemy

- Architektura dwuszynowa - problemy:
- Niektóre urządzenia zewnętrzne wymagają bardzo szybkiej transmisji.
- Szczególnie wymagające są karty graficzne.

Architektura potrójnej magistrali – struktura FSB-PCI-ISA



Pamięć i różne układy wejścia/wyjścia pracują z różną szybkością

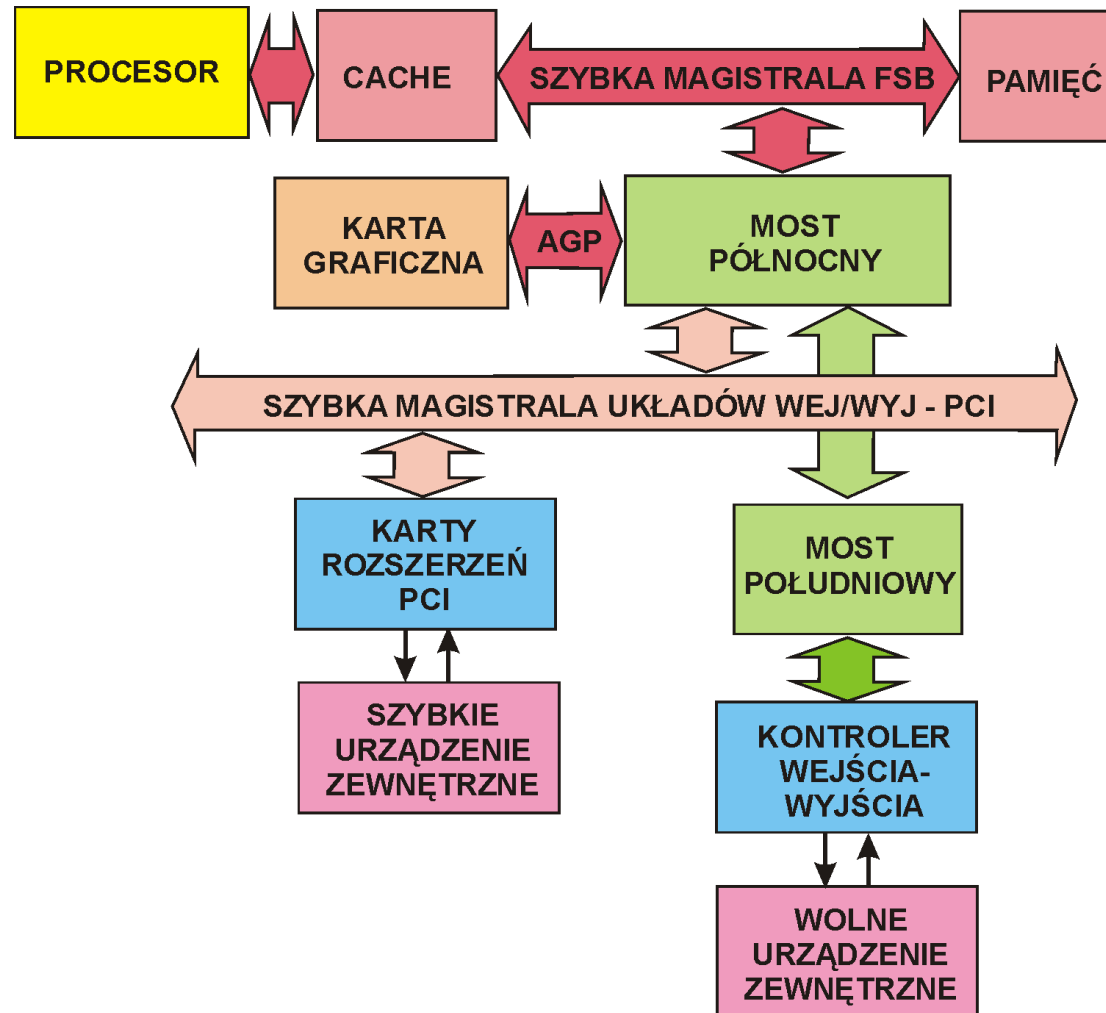
Architektura potrójnej magistrali - właściwości

- Trzy szyny (magistrale):
 - » procesora i pamięci (*FSB ang. front side bus*)
 - » szybkich urządzeń zewnętrznych (PCI)(*ang. Peripheral Component Interconnect*)
 - » wolnych urządzeń zewnętrznych (ISA) (*ang. Industry Standard Architecture*)
- Typy mostków:
 - » mostek północny (*ang. northbridge*) - łączy szynę procesora z szyną szybkich urządzeń
 - » mostek południowy (*ang. southbridge*) - łączy szynę szybkich urządzeń z szyną wolnych urządzeń
- Używana w komputerach PC 1999-2002
 - » w praktyce most południowy zawierał sterowniki niektórych urządzeń
 - » sterownik pamięci umieszczony w moście północnym

Architektura potrójnej magistrali - problemy

- szybka szyna zbyt wolna dla podsystemu graficznego
- wobec rosnącej integracji wolna szyna stała się zbędna

Architektura uproszczona – struktura FSB - PCI



Rezygnacja z ISA, bezpośrednie połączenie mostów, dodane AGP

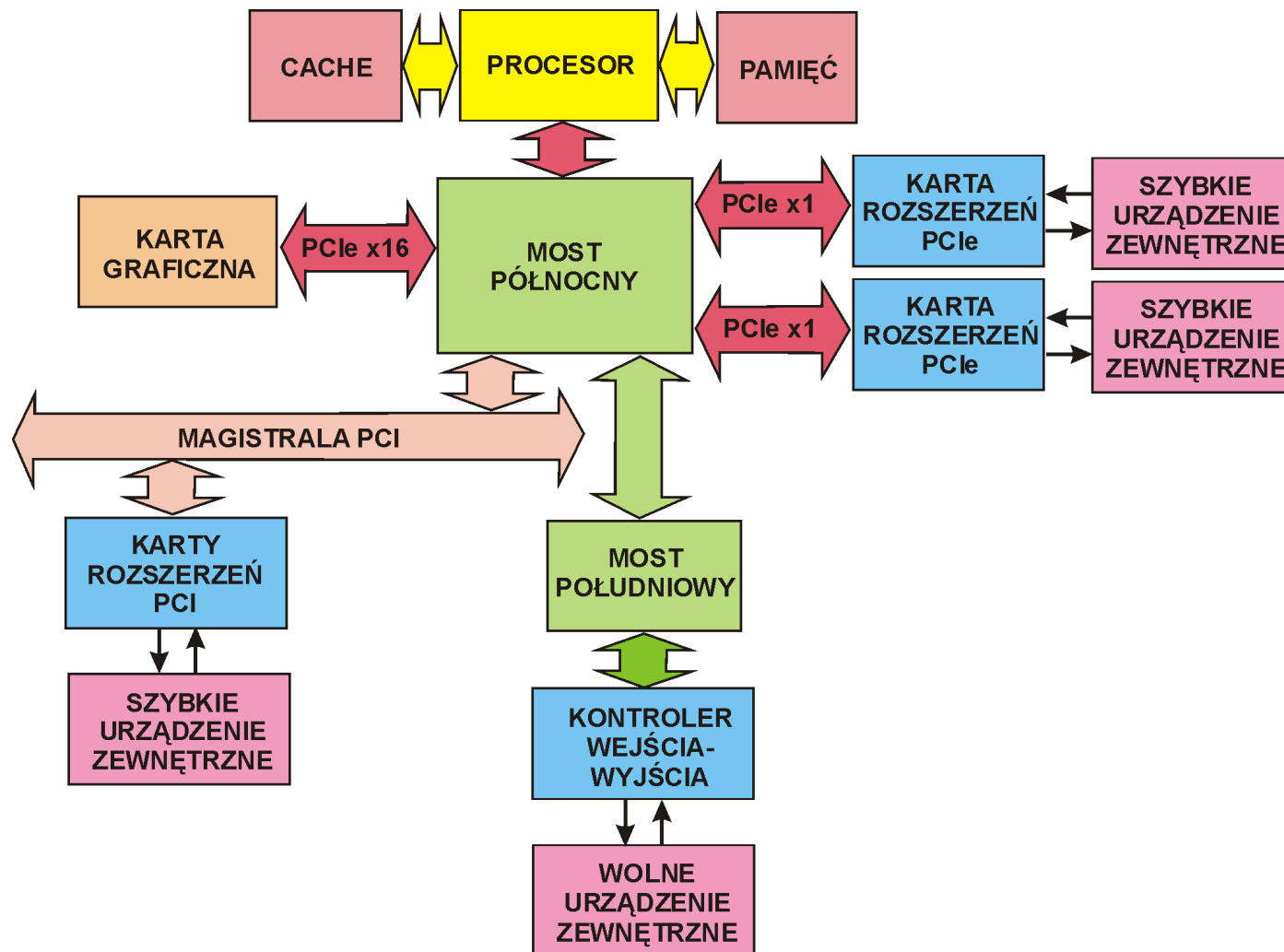
Architektura uproszczona PCI - właściwości

- Organizacja PC - rok 2004:
- Nie ma szyny wolnych urządzeń wejścia-magistrali ISA.
- Część połączeń szynowych została zastąpiona połączeniami typu punkt-punkt, o dużo większej przepustowości.
- Mostek północny zawiera sterownik pamięci.
- Mostek południowy nie pełni roli mostu pomiędzy szynami, lecz zawiera sterowniki większości niezbędnych w komputerze PC urządzeń zewnętrznych.
- Wprowadzono AGP (*ang. Accelerated Graphics Port lub Advanced Graphics Port*) zmodyfikowana magistrala PCI opracowana przez firmę Intel

Architektura uproszczona PCI - problemy

- **Długość** i struktura połączeń ogranicza **szybkość** transmisji

Architektura uproszczona PCIe – struktura PCIe



Wprowadzone PCIe, „magistrala szeregową” wypierająca AGP, PCI, ISA

Architektura uproszczona PCIe - właściwości

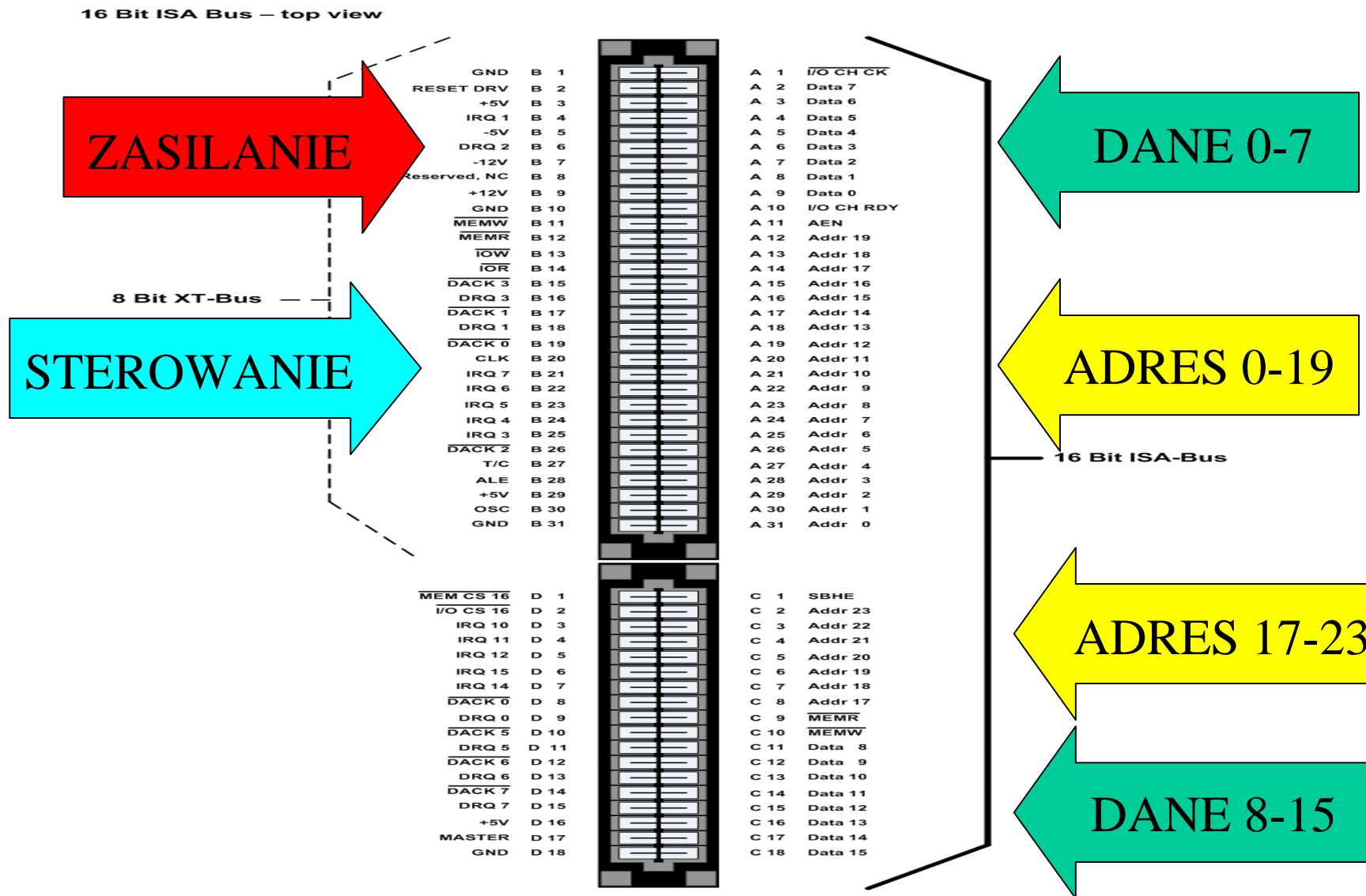
Organizacja PC - rok 2006:

- Sterownik pamięci umieszczony jest w procesorze.
- Mostek północny wyposażony w indywidualne łącza dla sterowników urządzeń zewnętrznych, zrealizowane w standardzie **PCI express**.
- Mostek południowy jest zintegrowanym sterownikiem urządzeń zewnętrznych.
- Szyna PCI została zachowana w celu umożliwienia podłączenia starszych sterowników urządzeń (skazana na usunięcie podobnie jak ISA).
- PCI Express PCI-s (PCIe, PCI-E), znana również jako 3GIO (3rd Generation I/O), „szeregową magistrala” komunikacyjna

Magistrala ISA - parametry

wersja	8 bit ISA	16 bit ISA
szerokość szyny danych	8 bit	16 bit
szerokość szyny adresowej	20 bit	24 bit
ilość kontaktów	62	98 (62+36)
zasilanie	+5 V, -5 V, +12 V, -12 V	+5 V, -5 V, +12 V, -12 V
zegar	4.77 MHz	8 MHz
maksymalna przepustowość (teoretyczna)	2 Mb/s	8 Mb/s

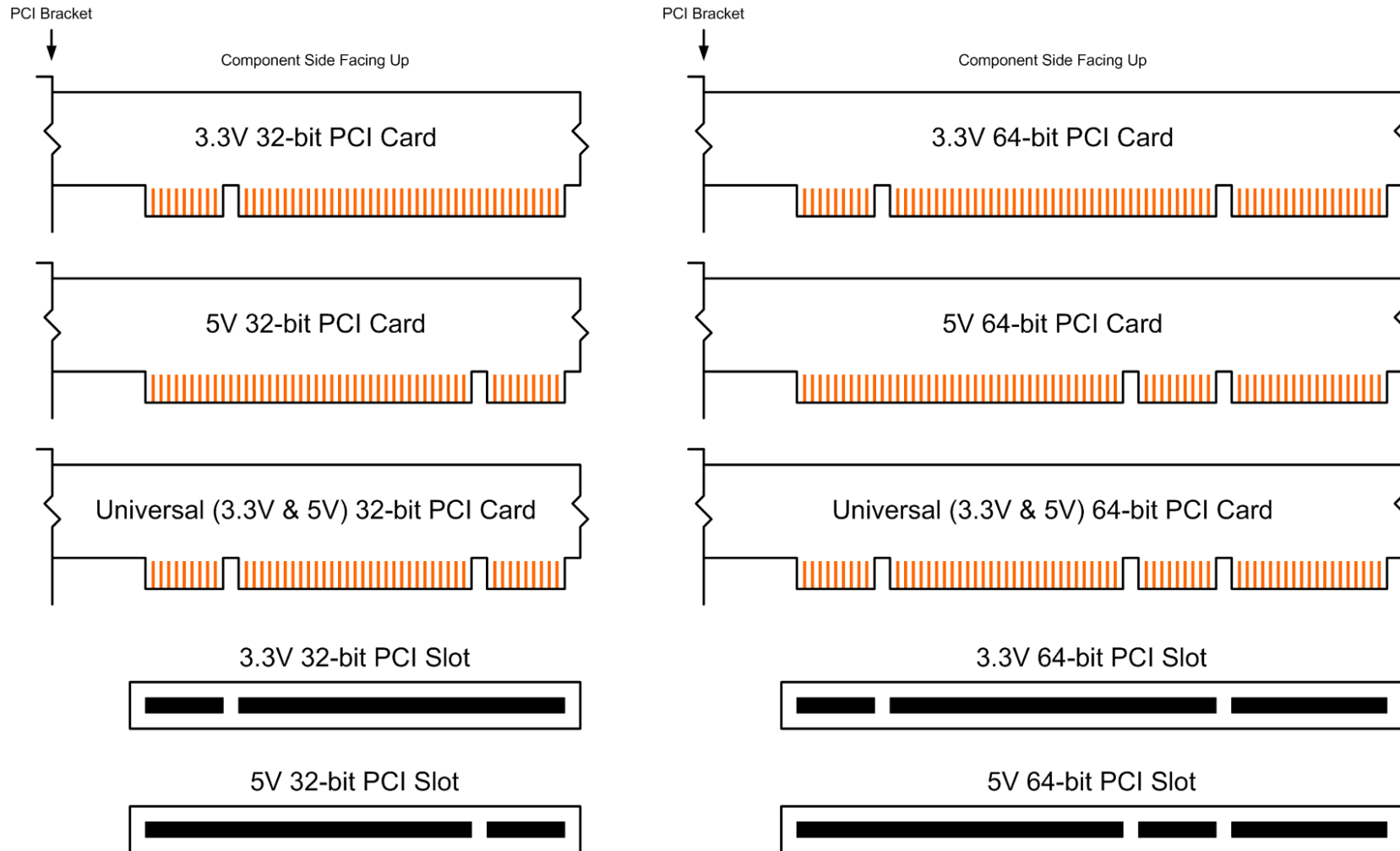
Magistrala ISA – 16 bitów, złącze krawędziowe



Magistrala PCI – wersje i parametry

Wersja	PCI 2.0	PCI 2.1	PCI 2.2	PCI 2.3
Rok wprowadzenia	1993	1994	1999	2002
Maksymalna szerokość szyny danych	32 bity	64 bity	64 bity	64 bity
Maksymalna częstotliwość taktowania	33 MHz	66 MHz	66 MHz	66 MHz
Maksymalna przepustowość	133 MB/s	528 MB/s	528 MB/s	528 MB/s
Napięcie	5 V	5 V	5 V / 3,3 V	3,3 V

Magistrala PCI – rodzaje złączy



Magistrala PCI-X

PCI-X (*ang. Peripheral Component Interconnect Extended*) - szybsza wersja standardu PCI.

Szyna ta oferuje transmisję danych rzędu 4,3 GB/s, czyli 32 razy szybciej niż pierwsze PCI.

Magistrala ta jest wstecznie zgodna z PCI (zarówno stare karty pasują do nowych gniazd, jak i nowe karty do starych gniazd).

Istotne jest tylko dopasowanie napięciowe (jednak rodzaj złącza uniemożliwia pomylenie kart 1.5 V i 3.3 V).

Magistrala PCI-X , wersje i parametry

wersja	PCI-X 1.0	PCI-X 2.0	PCI-X 3.0
rok wprowadzenia	1999	2002	2003
maksymalna szerokość szyny danych	64 bity	64 bity	64 bity
maksymalna częstotliwość taktowania	133 MHz	533 MHz	1066 MHz
maksymalna przepustowość	1066 MB/s	4264 MB/s	7,95 GB/s
napięcie	3.3 V	3.3 V/1.5 V	3.3 V/1.5 V

Magistrala PCI-Express

PCI Express (*ang. Peripheral Component Interconnect Express*) oficjalny skrót **PCIe**, znana również jako **PCI-E**, PCI-s lub jako 3GIO (od 3rd Generation I/O) – pionowa magistrala służąca do podłączania urządzeń do płyty głównej. Zastępuje ona magistrale PCI oraz AGP. PCI-Express stanowi magistralę lokalną typu **szeregowego**, łączącą dwa punkty (**Point-to-Point**). Nie jest to więc magistrala w tradycyjnym rozumieniu i nie jest rozwinięciem koncepcji "zwykłego" PCI, w związku z czym **nie jest z nim kompatybilne.**

Magistrala PCI-Express, wersje i parametry

Wariant PCIe	Przepustowość(w każdą stronę)
x1 v1.0	250 MB/s
x2 v1.0	500 MB/s
x4 v1.0	1000 MB/s
x8 v1.0	2000 MB/s
x16 v1.0	4000 MB/s (4 GB/s)
x16 v2.0	8000 MB/s (8 GB/s)
x16 v3.0	16000 MB/s (16 GB/s)

Magistrala PCMCIA

PCMCIA (*ang. Personal Computer Memory Card International Association*) - międzynarodowe stowarzyszenie producentów kart pamięci dla komputerów osobistych. Celem organizacji jest wprowadzenie i rozwijanie międzynarodowego standardu kart rozszerzeń dla komputerów przenośnych. Pierwsze gniazda PCMCIA zapewniały 16 bitowy przepływ danych – były **odpowiednikiem magistrali ISA**. Obecnie jest to złącze 32-bitowe, pracujące z częstotliwością 33 MHz (zapewniając maksymalny transfer danych 132 MB/s) przy napięciu 3,3 V – odpowiada magistrali PCI i występuje pod nazwą **Card Bus**.

Magistrala wewnętrzna komputera - **zalety**

- Szybka transmisja danych,
- Stosunkowo niski koszt rozszerzających kart pomiarowych w stosunku do samodzielnych przyrządów,
- Elastyczna struktura systemu pomiarowego, łatwość zmiany funkcji poprzez zmianę programu,
- Oprogramowanie wspomagane przez producenta: firmowe sterowniki i programy sterujące gotowe do użycia,
- Zwarta budowa systemu pomiarowego, większość elementów zamknięta w obudowie komputera.

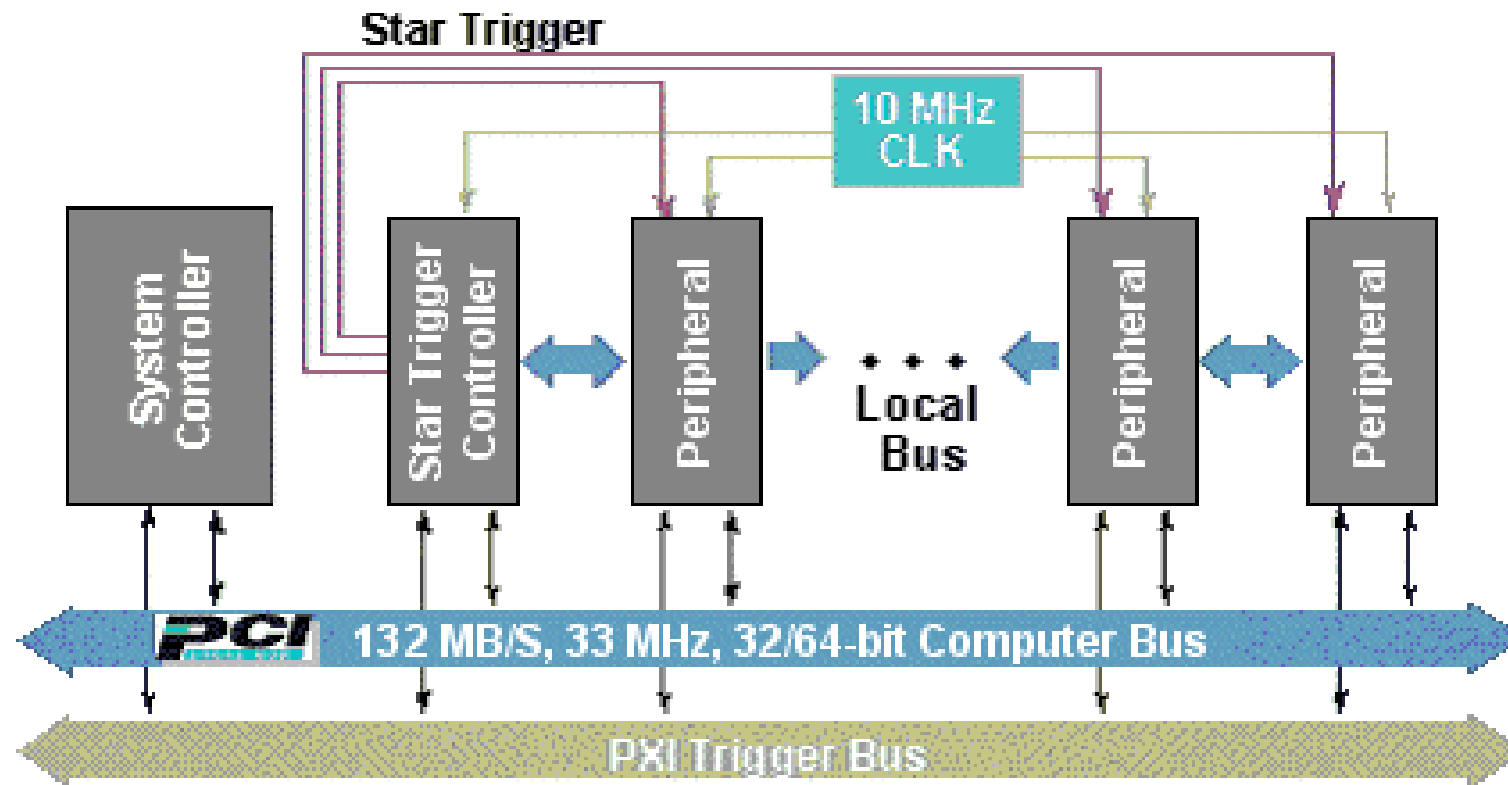
Magistrala wewnętrzna komputera - wady

- Konieczność montażu karty wewnątrz obudowy,
- Wysoki poziom zakłóceń wewnątrz obudowy uniemożliwia uzyskanie wysokich rozdzielczości (12-16 bitów),
- Problemy przy uruchamianiu – konflikty sprzętowe,
- niejednolite, firmowe rozwiązania struktury wewnętrznej, sposobu sterowania, konieczność zakupu firmowego oprogramowania,
- Ograniczona liczba wolnych złączy magistrali, trudności w rozbudowie systemu.

Magistrala **PXI** - PCI eXtensions for Instrumentation

- Rozwiązanie opracowane w 1997 roku przez firmę National Instruments, obecnie rozwijane przez konsorcjum ponad 50 niezależnych firm,
- Ograniczono poziom zakłóceń wewnątrz obudowy poprzez zastosowanie ekranowania modułów i całej kasey.
- Magistralę PCI uzupełniono o magistralę synchronizacji i wyzwalań pomiarów oraz magistrale lokalne pomiędzy modułami, długość magistrali nawet do 18 gniazd,
- Kontroler systemu o strukturze zgodnej z komputerem PC jest jednym z modułów PXI (zrezygnowano z koncepcji „płyty głównej”)

Magistrala **PXI** - PCI eXtensions for Instrumentation



Magistrala PCI została uzupełniona o linie wyzwiania i synchronizacji oraz linie sygnałów analogowych.

Magistrala **PXI** - PCI eXtensions for Instrumentation

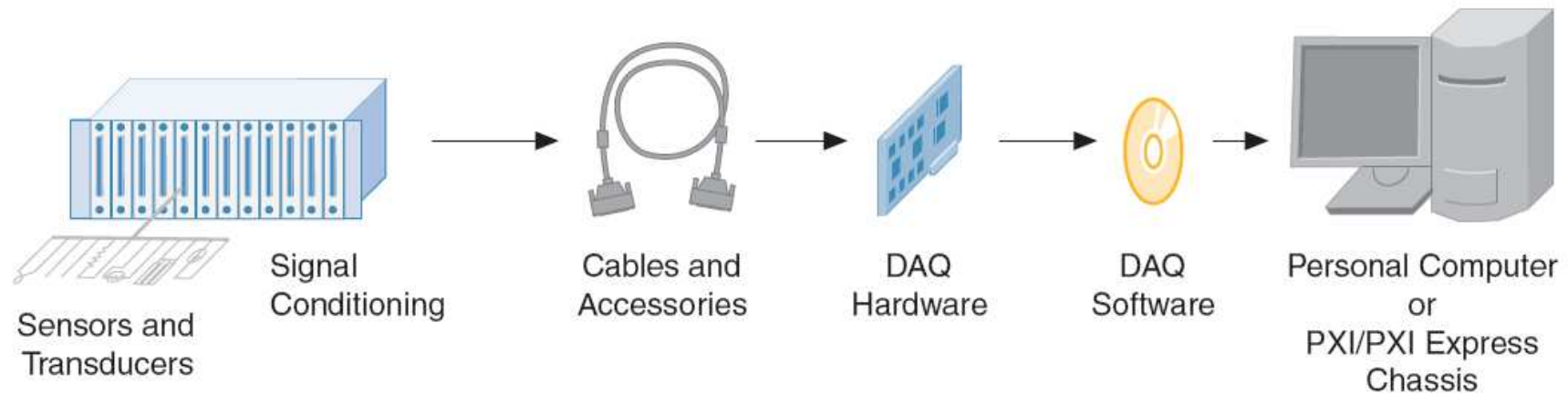


Kaseta systemu PXI



Kontroler systemu PXI

Ogólna struktura KSP opartego na magistrali komputera



Realizacja KSP z wykorzystaniem komputerowej karty pomiarowej
Data Acquisition Card – DAQ Card (National Instruments)

Magistrala wewnętrzna komputera jako System Interfejsu KSP

Charakterystyka **Podsystemu Akwizycji Danych**

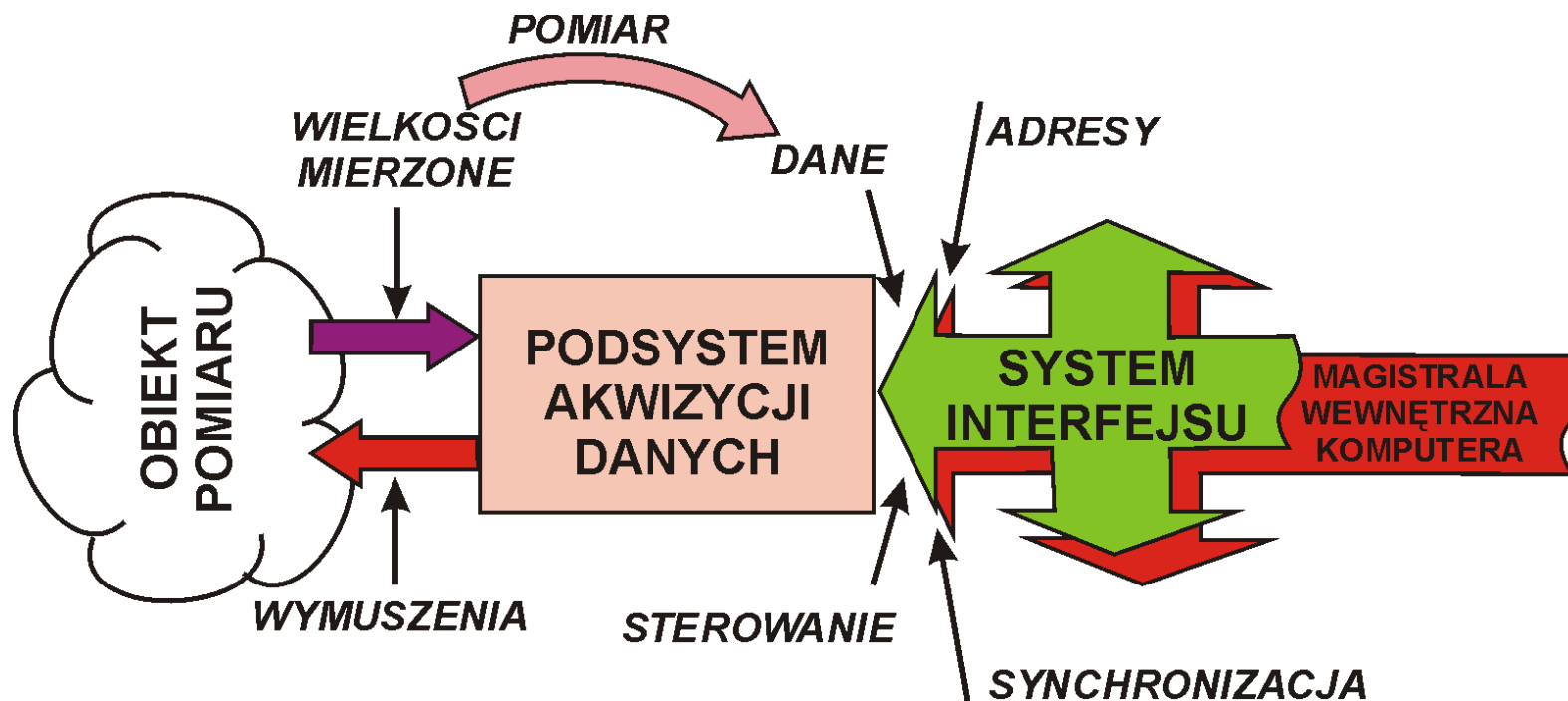
Od strony **Obiektu Pomiaru** :

- 1-wielkości mierzone (liczba i rodzaje czujników)
- 2-wymuszenia (liczba i rodzaje zadajników)

Od strony **Systemu Interfejsu** :

- 3-dane (format, ilość)
- 4-adresy (dostępna i wykorzystywana przestrzeń)
- 5-sterowanie (sygnały odczytu i zapisu)
- 6-synchronizacja (przerwania, DMA, itp)

Magistrala wewnętrzna komputera jako system interfejsu KSP



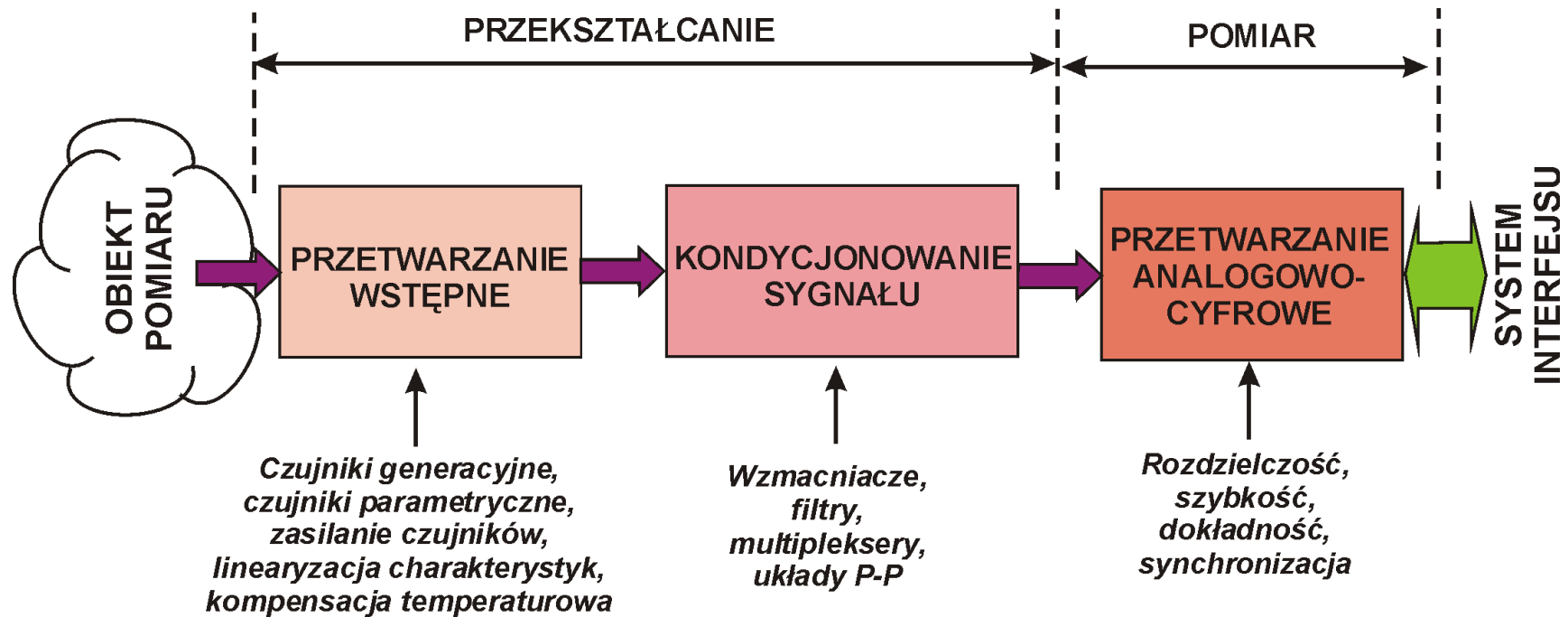
Charakterystyka podsystemu akwizycji danych od strony **obiekty pomiaru** i od strony **systemu interfejsu**

Funkcje Podsystemu Akwizycji Danych

Funkcje **Podsystemu Akwizycji Danych**

- 1-Przetwarzanie wstępne** (czujniki parametryczne i generacyjne, zasilanie czujników, linearyzacja charakterystyk, kompensacja temperaturowa itp.)
- 2-Kondycjonowanie sygnałów** (wzmacniacze, filtry, układy próbkująco-pamiętające, multipleksery)
- 3-Przetwarzanie analogowo-cyfrowe** (rozdzielczość, szybkość, dokładność, synchronizacja)

Funkcje Podsystemu Akwizycji Danych



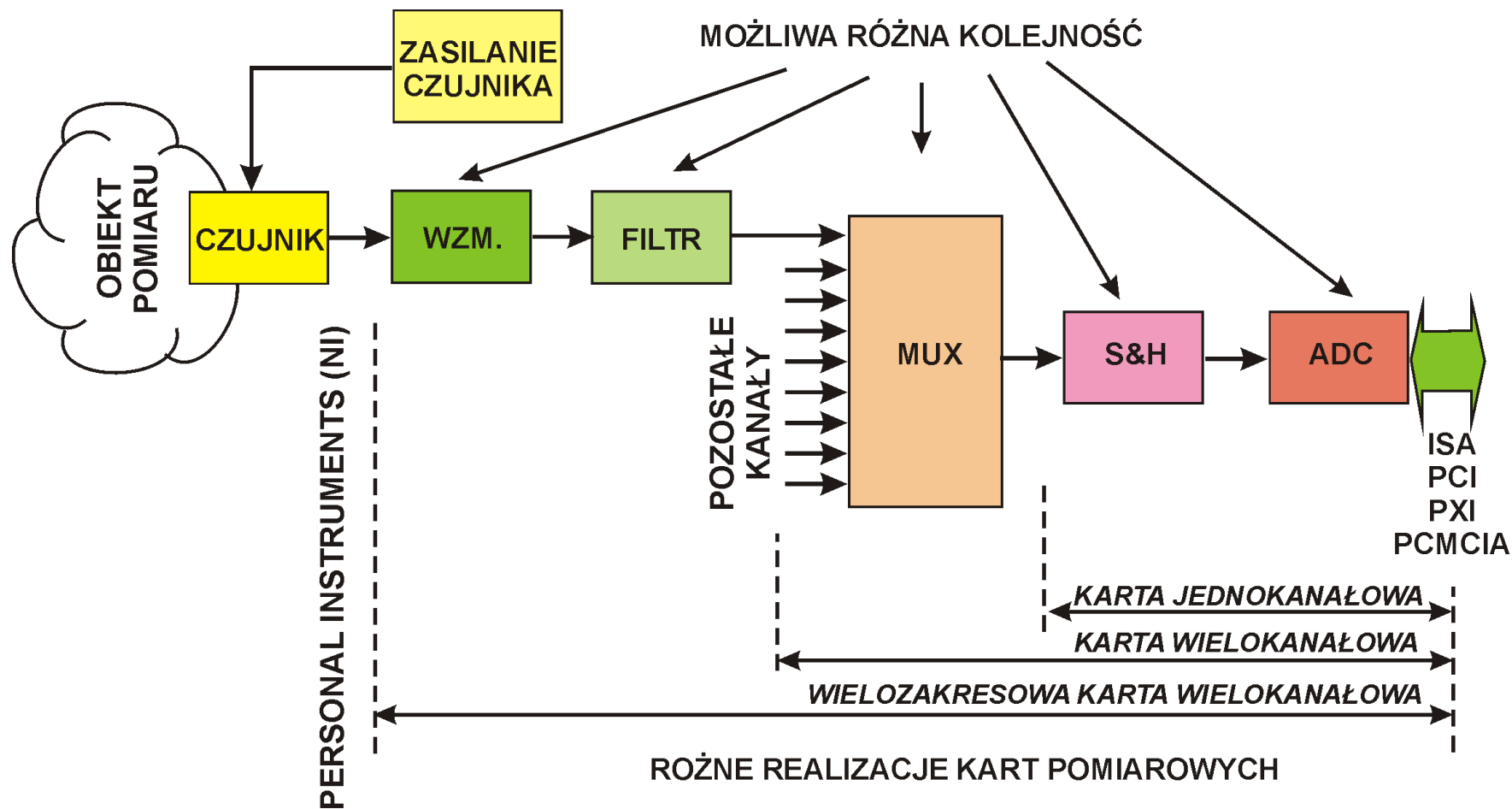
Funkcje Podsystemu Akwizycji Danych

Realizacja Podsystemu Akwizycji Danych – *DAQ Card*

Data Acquisition Card – typowe wyposażenie toru analogowego:

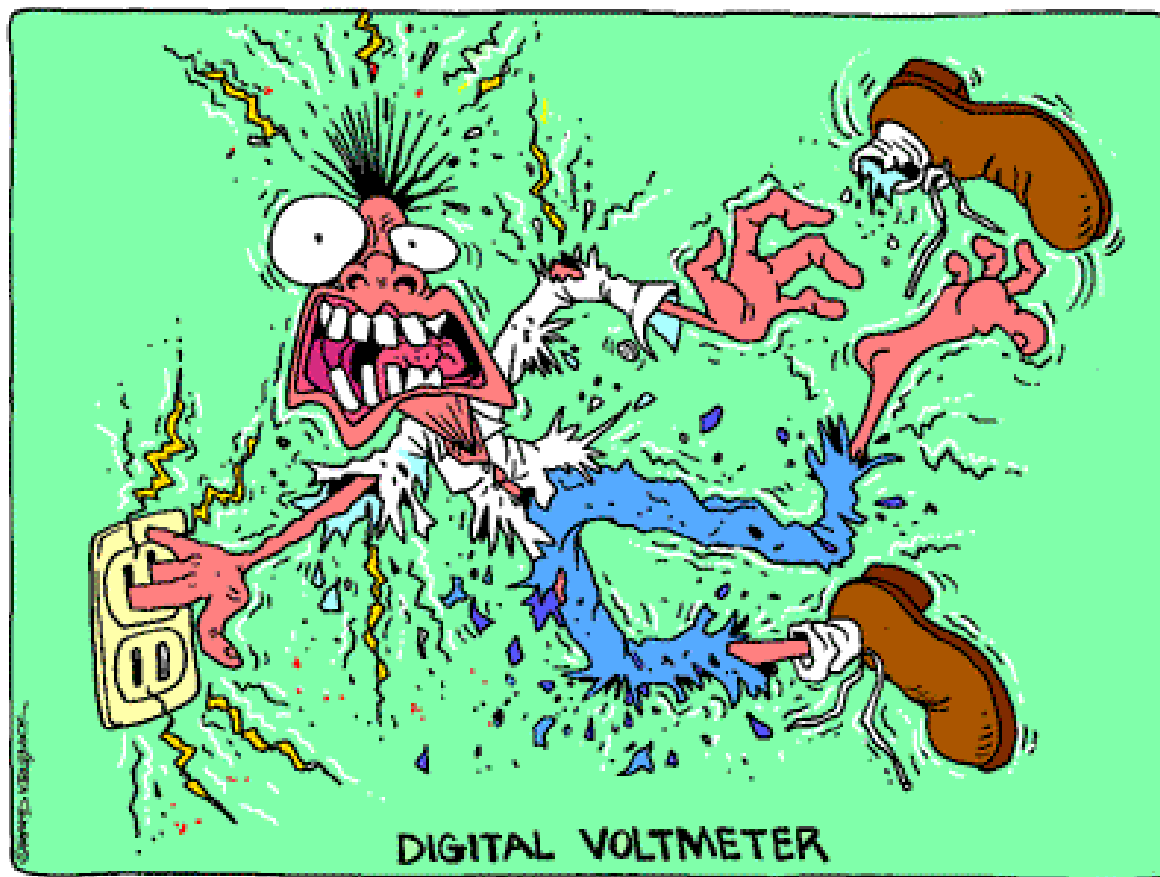
- 1-przetwornik analogowo – cyfrowy ADC (jeden lub kilka),
- 2-układ próbkująco – pamiętający S&H (jeden lub kilka),
- 3-multiplekser (analogowy lub cyfrowy, zależnie od miejsca),
- 4-filtry (dolnoprzepustowe, pasmowo-zaporowe, pasmowo-przepustowe),
- 5-wzmacniacze (symetryczne, niesymetryczne),
- 6-układy zasilania czujników (prądowe, napięciowe),
- 7-układy izolacji galwanicznej,
- 8-układy zabezpieczające (ESD, przeciwprzeciążeniowe).

Realizacja Podsystemu Akwizycji Danych – *DAQ Card*



Data Acquisition Card – typowe wyposażenie toru analogowego

Przyrządy pomiarowe klasy Personal Instruments (NI)



Źródło: Agilent, <http://www.agilent.com>

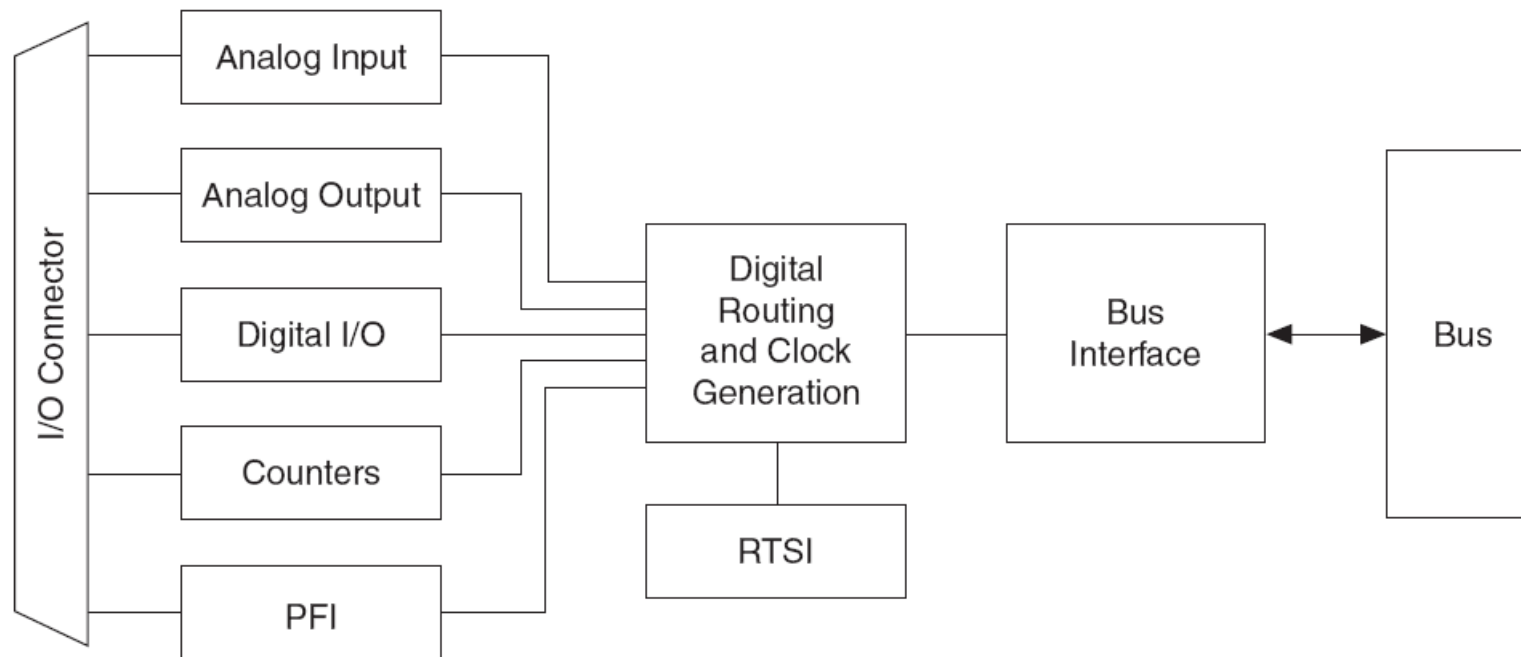
Zasada działania woltomierza cyfrowego klasy Personal Instruments

DAQ Card – pozostałe wyposażenie

Data Acquisition Card – typowe wyposażenie karty pomiarowej:

- 1-tor wejściowy analogowy *Analog Input*,
- 2-tor wyjściowy analogowy *Analog Output*,
- 3-tor wejścia - wyjścia cyfrowy *Digital I/O*
- 4-programowalny tor cyfrowy *Programmable Function Interface (PFI)*,
- 5-układy licznikowe,
- 6-generator zegarowy i układy synchronizacji-*Real-Time System Integration (RTSI)*,
- 7-układy izolacji galwanicznej,
- 8-układy zabezpieczające (ESD, przeciwprzeciążeniowe),
- 9-układy interfejsu magistrali komputera.

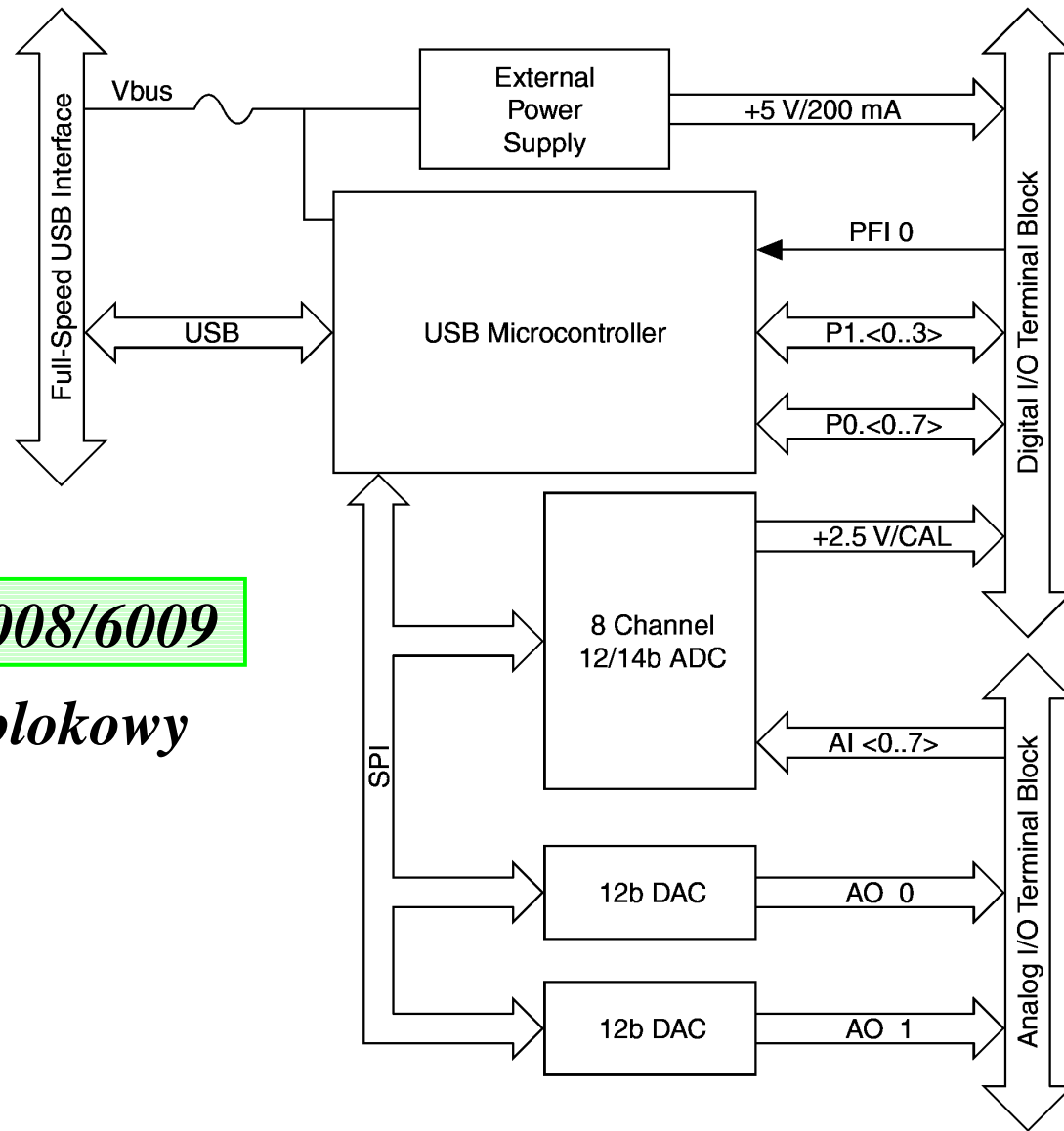
DAQ Card – pozostałe wyposażenie



Źródło: National Instruments, <http://www.ni.com/>

Data Acquisition Card – typowe wyposażenie karty pomiarowej

DAQ Card – przykład NI USB-6008/6009



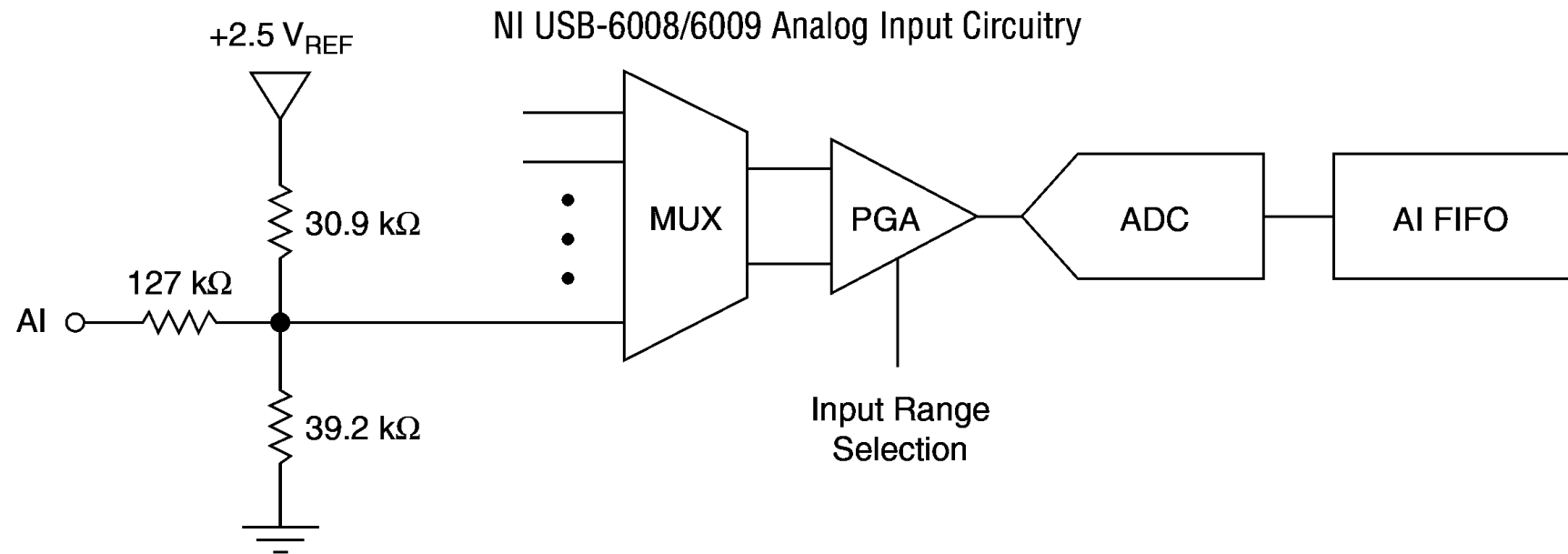
NI USB-6008/6009

schemat blokowy

Przykład NI USB-6008/6009 – zestawienie wejść/wyjść

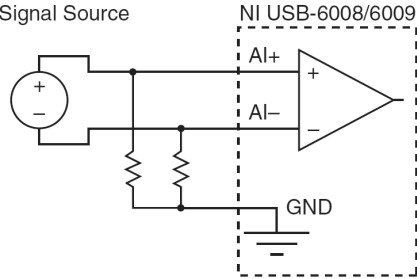
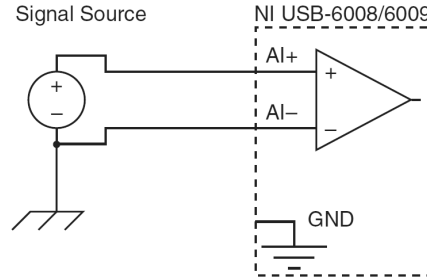
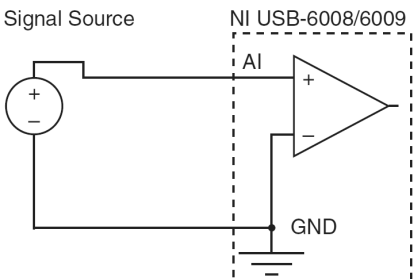
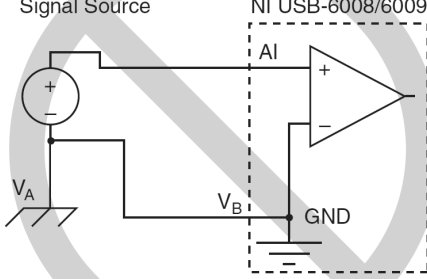
Signal Name	Reference	Direction	Description
GND	—	—	Ground —The reference point for the single-ended analog input measurements, analog output voltages, digital signals, +5 VDC supply, and +2.5 VDC at the I/O connector, and the bias current return point for differential mode measurements.
AI <0..7>	Varies	Input	Analog Input Channels 0 to 7 —For single-ended measurements, each signal is an analog input voltage channel. For differential measurements, AI 0 and AI 4 are the positive and negative inputs of differential analog input channel 0. The following signal pairs also form differential input channels: AI<1, 5>, AI<2, 6>, and AI<3, 7>. Refer to the <i>Analog Input</i> section for more information.
AO <0, 1>	GND	Output	Analog Output Channels 0 and 1 —Supplies the voltage output of AO channel 0 or AO channel 1. Refer to the <i>Analog Output</i> section for more information.
P0.<0..7>	GND	Input or Output	Port 0 Digital I/O Channels 0 to 7 —You can individually configure each signal as an input or output. Refer to the <i>Digital I/O</i> section for more information.
P1.<0..3>	GND	Input or Output	Port 1 Digital I/O Channels 0 to 3 —You can individually configure each signal as an input or output. Refer to the <i>Digital I/O</i> section for more information.
PFI 0	GND	Input	PFI 0 —This pin is configurable as either a digital trigger or an event counter input. Refer to the <i>PFI 0</i> section for more information.
+2.5 V	GND	Output	+2.5 V External Reference —Provides a reference for wrap-back testing. Refer to the <i>+2.5 V External Reference</i> section for more information.
+5 V	GND	Output	+5 V Power Source —Provides +5 V power up to 200 mA. Refer to the <i>+5 V Power Source</i> section for more information.

Przykład NI USB-6008/6009 – wejście analogowe



NI USB-6008/6009 *analogowy tor wejściowy*

NI USB-6008/6009 – konfiguracja wejść analogowych

<p>Analog Input Mode</p>	<p>Floating Signal Sources (Not Connected to Building Ground)</p> <p>Examples:</p> <ul style="list-style-type: none"> • Ungrounded thermocouples • Signal conditioning with isolated outputs • Battery devices 	<p>Ground-Referenced Signal Sources</p> <p>Example:</p> <ul style="list-style-type: none"> • Plug-in instruments with non-isolated outputs
<p>Differential (DIFF)</p>		
<p>Referenced Single-Ended (RSE)</p>		<p>NOT RECOMMENDED</p>  <p>Ground-loop potential ($V_A - V_B$) are added to measured signal.</p>

NI USB-6008/6009 – zakresy napięć wejściowych i błędy

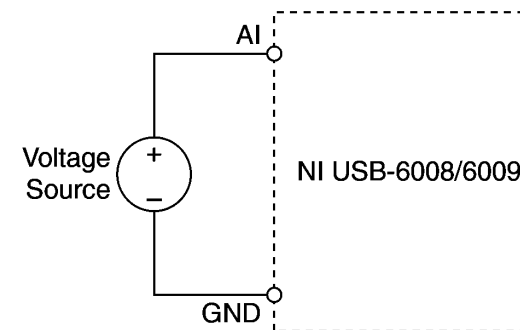
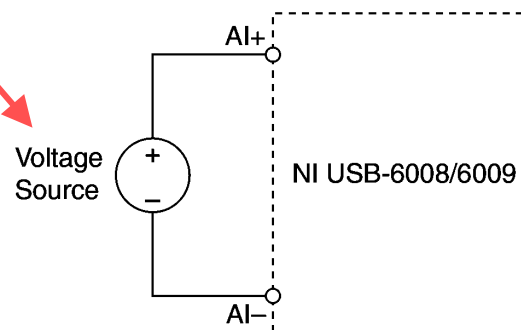
Range (V)	Typical at 25 °C (mV)	Maximum over Temperature (mV)
±20	14.7	138
±10	7.73	84.8
±5	4.28	58.4
±4	3.59	53.1
±2.5	2.56	45.1
±2	2.21	42.5
±1.25	1.70	38.9
±1	1.53	37.5

Absolute accuracy at full scale,

differential

Connecting a Differential Voltage Signal

Connecting a Referenced Single-Ended Voltage Signal



Range (V)	Typical at 25 °C (mV)	Maximum over Temperature (mV)
±10	14.7	138

Absolute accuracy at full scale,

single-ended

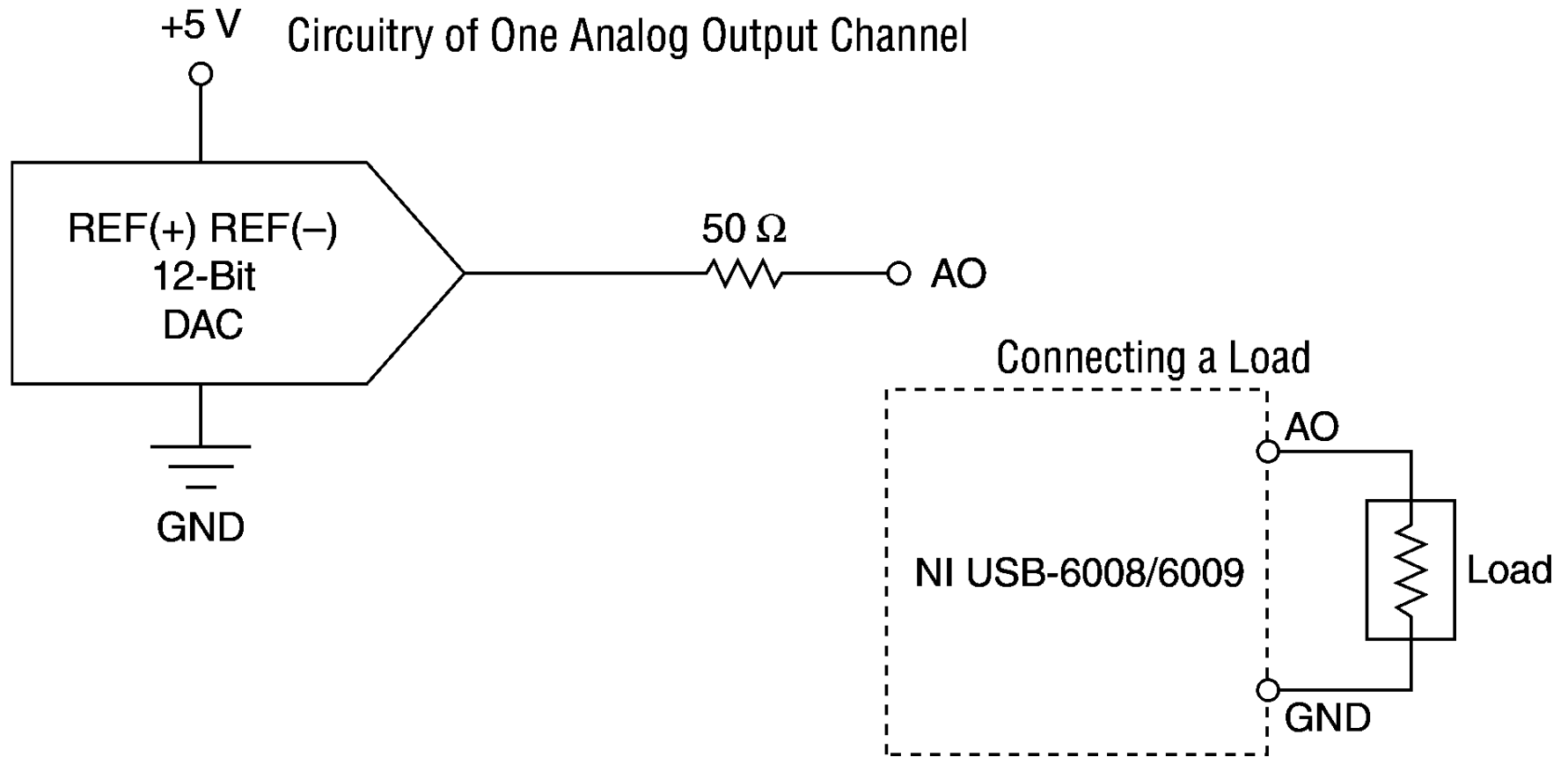
KSP, zjazd 4

dr inż. Eligiusz Pawłowski

58

Źródło: National Instruments, <http://www.ni.com/>

Przykład NI USB-6008/6009 – wyjście analogowe



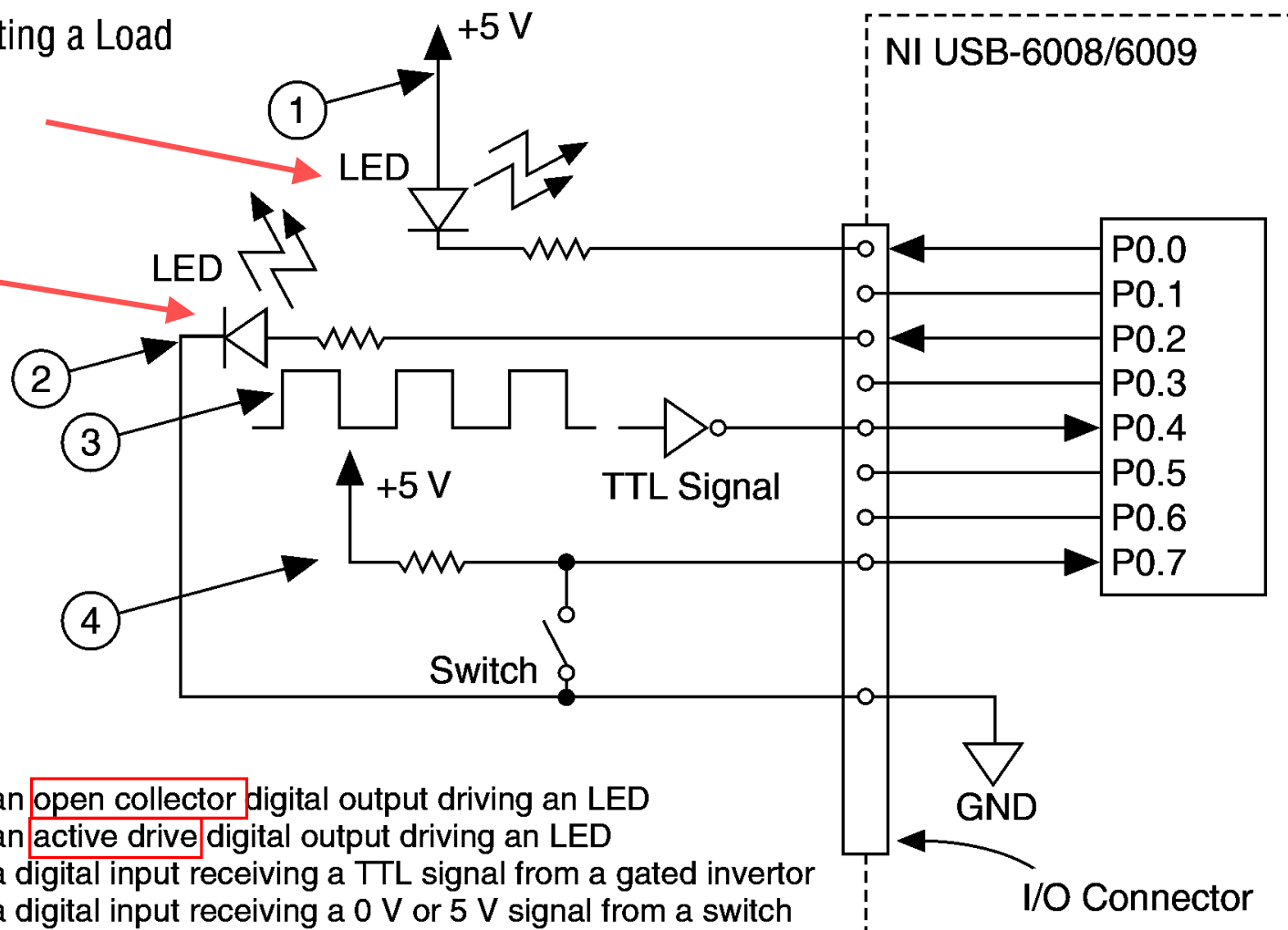
NI USB-6008/6009 *analogowy tor wyjściowy*

Przykład NI USB-6008/6009 – wejścia/wyjścia cyfrowe

Example of Connecting a Load

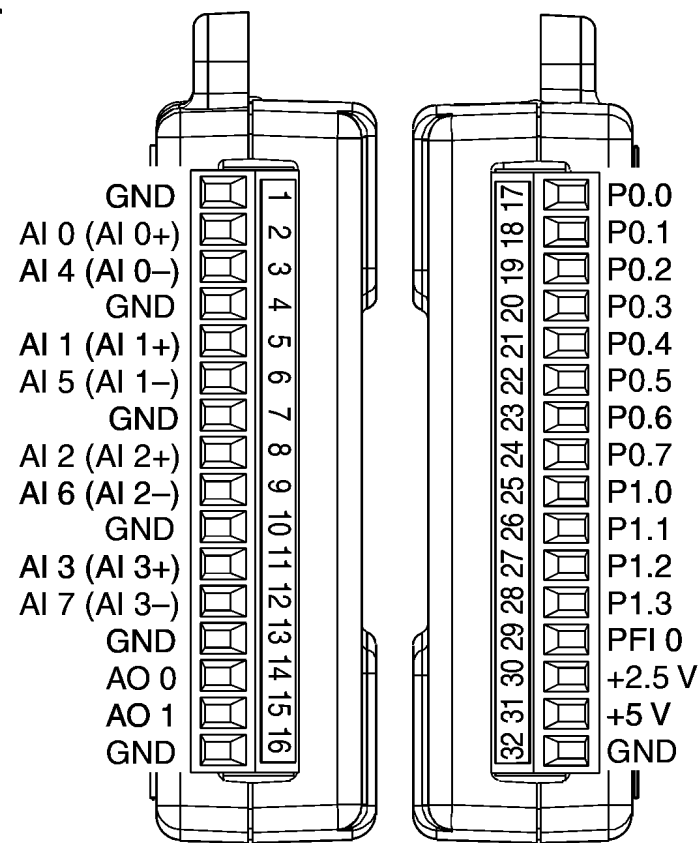
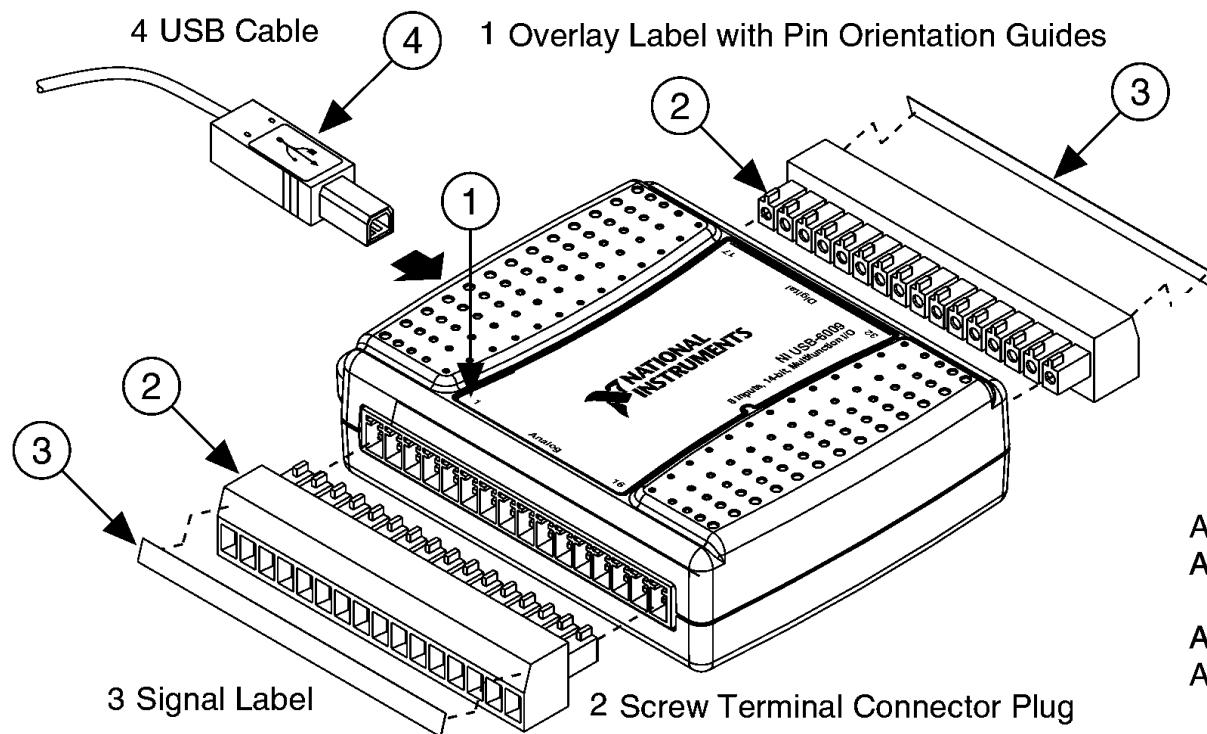
Open collector

Active drive



- 1 P0.0 configured as an **open collector** digital output driving an LED
- 2 P0.2 configured as an **active drive** digital output driving an LED
- 3 P0.4 configured as a digital input receiving a TTL signal from a gated inverter
- 4 P0.7 configured as a digital input receiving a 0 V or 5 V signal from a switch

Przykład NI USB-6008/6009 – złącza



Przykład NI USB-6008/6009 – podstawowe parametry

Feature	NI USB-6008	NI USB-6009
AI resolution	12 bits differential, 11 bits single-ended	14 bits differential, 13 bits single-ended
Maximum AI sample rate, single channel*	10 kS/s	48 kS/s
Maximum AI sample rate, multiple channels (aggregate)*	10 kS/s	48 kS/s
DIO configuration	Open collector [†]	Each channel individually programmable as open collector or active drive [†]
<p>* System-dependent. [†] This document uses NI-DAQmx naming conventions. Open-drain is called open collector and push-pull is called active drive.</p>		

Źródło: National Instruments, <http://www.ni.com/>

Podstawowe parametry przetworników A/C

- 1-rozdzielczość (liczba bitów, liczba poziomów kwantowania)
- 2-zakres napięć wejściowych (minimalne, maksymalne, zakres)
- 3-błędy przetwarzania (analogowe i cyfrowe)
- 4-szybkość przetwarzania (liczba próbek na sekundę, SPS)
- 5-metoda synchronizacji (wewnętrzna, zewnętrzna)
- 6-zasada działania (całkujące, kompensacyjne, bezpośrednie ...)
- 7-tłumienie zakłóceń (szeregowych i równoległych)
- 8-inne

Rozdzielczość przetwornika A/C (*Resolution*)

1. Liczba bitów: **n**

n=6, 8, 10, 12, 14, 16, 20, 24 (najczęściej spotykane, parzyste)

2. Liczba poziomów kwantowania: **N**

$$N = 2^n$$

n	N	N w przybliżeniu
6	64	<100
8	256	0,25 × 10 ³
10	1 024	1 × 10 ³
12	4 096	4 × 10 ³
16	65 536	65 × 10 ³
24	16 777 216	16 × 10 ⁶

Zakres napięć wejściowych przetwornika A/C

1-Zakresy unipolarne (niesymetryczne)

$$U_{\min}=0$$

$$U_{\max}=200\text{mV}, 1\text{V}, 2\text{V}, 5\text{V}, 10\text{V} \text{ (ew. +5\%)} \text{ lub}$$

$$U_{\max}=1.024\text{V}, 4.096\text{V}, 10.242\text{V}$$

2-Zakresy bipolarne (symetryczne)

$$U_{\min} = -U_{\max}$$

$$U_{\max}=200\text{mV}, 1\text{V}, 2\text{V}, 5\text{V}, 10\text{V} \text{ (ew. +5\%)} \text{ lub}$$

$$U_{\max}=1.024\text{V}, 4.096\text{V}, 10.242\text{V}$$

Pełny zakres napięciowy **FSR** (*Full Scale Range*)

$$\mathbf{FSR} = U_{\max} - U_{\min}$$

Błędy przetwarzania przetwornika A/C

Błędy kwantowania: bezwzględny Δ_{kw} i względny δ_{kw}

Błąd analogowy: bezwzględny Δ_{analog} i względny δ_{analog}

Błąd całkowity graniczny: bezwzględny Δ_{gr} i względny δ_{gr}



$$\Delta_{gr} = \Delta_{an} + \Delta_{kw}$$

Absolute accuracy at full scale !!!???

accuracy = dokładność ≠ błąd

$$\delta_{gr} = \frac{\Delta_{an} + \Delta_{kw}}{U_x} 100\%$$

Najdokładniej jest na końcu zakresu!

Błąd kwantowania przetwornika A/C

Błąd kwantowania bezwzględny Δ_{kw} - jest niezależny od U_x

$$\Delta_{kw} = \frac{FSR}{N} = \frac{FSR}{2^n}$$

Błąd kwantowania względny δ_{kw} - jest stały odniesiony do zakresu

$$\delta_{kw} = \frac{\Delta_{kw}}{FSR} \cdot 100\% = \frac{1}{N} \cdot 100\% = \frac{1}{2^n} \cdot 100\%$$

Błąd kwantowania ma charakter addytywny - jest niezależny od U_x

Przykładowe błędy kwantowania przetwornika A/C

Przykładowe wartości dla **FSR=10V**

n	N	N w przybliżeniu	Δ_{kw} mV	δ_{kw} %
-	-	-	-	-
6	64	<100	~ 160	~ 1,5
8	256	$0,25 \times 10^3$	~ 40	~ 0,4
10	1 024	1×10^3	~ 10	~ 0,1
12	4 096	4×10^3	~ 2,5	~ 0,025
16	65 536	65×10^3	~ 0,15	~ 0,001
24	16 777 216	16×10^6	~ 0,0006	~ 0,000 006

Porównanie

klasy mierników analogowych: 2,5 - 1,5 - 1 - 0,5 - 0,2 - 0,1

Błąd analogowy przetwornika A/C

Błąd analogowy względny δ_{an} (stały % odniesiony do U_x)

$$\delta_{an} = \frac{\Delta_{an}}{U_x} 100\%$$

Błąd analogowy bezwzględny Δ_{an} - jest zależny od U_x

$$\Delta_{an} = \frac{\delta_{an}}{100\%} \cdot U_x$$

Błąd analogowy ma charakter multiplikatywny - jest zależny od U_x

Błędy przetwarzania przetwornika A/C - przykład

AI Absolute Accuracy Table

National Instruments PCI 6221

Nominal Range		Residual Gain Error (ppm of Reading)	Gain Tempco (ppm/°C)	Reference Tempco	Residual Offset Error (ppm of Range)	Offset Tempco (ppm of Range/°C)	INL Error (ppm of Range)	Random Noise, σ (μ Vrms)	Absolute Accuracy at Full Scale ¹ (μ V)	Sensitivity ² (μ V)
Positive Full Scale	Negative Full Scale									
10	-10	75	25	5	20	57	76	244	3,100	97.6
5	-5	85	25	5	20	60	76	122	1,620	48.8
1	-1	95	25	5	25	79	76	30	360	12.0
0.2	-0.2	135	25	5	80	175	76	13	112	5.2

$$\text{AbsoluteAccuracy} = \text{Reading} \cdot (\text{GainError}) + \text{Range} \cdot (\text{OffsetError}) + \text{NoiseUncertainty}$$

$$\text{GainError} = \text{ResidualAIGainError} + \text{GainTempco} \cdot (\text{TempChangeFromLastInternalCal}) + \text{ReferenceTempco} \cdot (\text{TempChangeFromLastExternalCal})$$

$$\text{OffsetError} = \text{ResidualAIOffsetError} + \text{OffsetTempco} \cdot (\text{TempChangeFromLastInternalCal}) + \text{INL_Error}$$

$$\text{NoiseUncertainty} = \frac{\text{RandomNoise} \cdot 3}{\sqrt{100}} \quad \text{For a coverage factor of } 3 \sigma \text{ and averaging 100 points.}$$

¹ Absolute accuracy at full scale on the analog input channels is determined using the following assumptions:

- TempChangeFromLastExternalCal = 10 °C
- TempChangeFromLastInternalCal = 1 °C
- number_of_readings = 100
- CoverageFactor = 3 σ

For example, on the 10 V range, the absolute accuracy at full scale is as follows:

$$\text{GainError} = 75 \text{ ppm} + 25 \text{ ppm} \cdot 1 + 5 \text{ ppm} \cdot 10 \quad \text{GainError} = 150 \text{ ppm}$$

$$\text{OffsetError} = 20 \text{ ppm} + 57 \text{ ppm} \cdot 1 + 76 \text{ ppm} \quad \text{OffsetError} = 153 \text{ ppm}$$

$$\text{NoiseUncertainty} = \frac{244 \mu\text{V} \cdot 3}{\sqrt{100}} \quad \text{NoiseUncertainty} = 73 \mu\text{V}$$

$$\text{AbsoluteAccuracy} = 10 \text{ V} \cdot (\text{GainError}) + 10 \text{ V} \cdot (\text{OffsetError}) + \text{NoiseUncertainty} \quad \text{AbsoluteAccuracy} = 3,100 \mu\text{V}$$

² Sensitivity is the smallest voltage change that can be detected. It is a function of noise.

Accuracies listed are valid for up to one year from the device external calibration.

Źródło: National Instruments, <http://www.ni.com/>

Błąd analogowy multiplikatywny

Błąd kwantowania addytywny

Błędy przypadkowe - szумы

Szybkość przetwarzania przetwornika A/C

Szybkość przetwarzania (*sampling rate*):

liczba przetworzeń (próbek) na jednostkę czasu (sekundę)

Samples Per Seconds – **SPS** (z przedrostkami kilo-, mega-, giga-)

wolne przetworniki : kilka ... kilkanaście **SPS**

przetworniki audio : do kilkudziesięciu **kSPS**

przetworniki video: do kilku **MSPS**

najszybsze przetworniki : kilkanaście **GSPS**

Szybkość przetwarzania – twierdzenie o próbkowaniu

Szybkość przetwarzania przetwornika A/C należy dobrać odpowiednio do szybkości zmian przetwarzanego sygnału.

Twierdzenie o próbkowaniu

Sygnał o ograniczonym paśmie nie mający składowych widma o częstotliwości większej niż f_{max} jest jednoznacznie określony przez swoje wartości chwilowe (próbki) leżące w równych odstępach czasu T_s mniejszych niż:

$$T_s < \frac{1}{2f_{max}}$$

Twierdzenie o próbkowaniu - wniosek

$$\frac{1}{SPS} = T_s < \frac{1}{2f_{\max}}$$

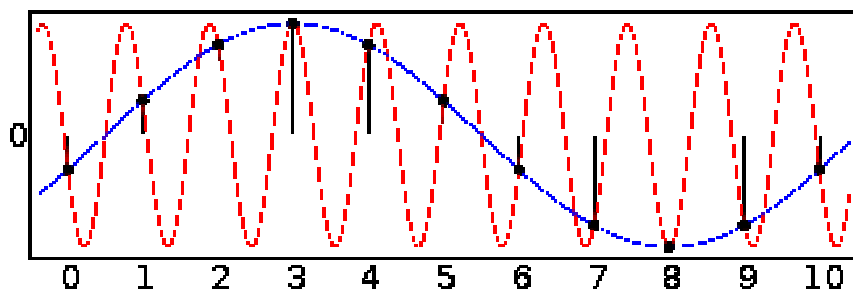
Wniosek: szybkość próbkowania SPS musi być co najmniej dwukrotnie większa od maksymalnej częstotliwości sygnału:

$$SPS > 2f_{\max}$$

tzn. co najmniej dwie próbki sygnału muszą być pobrane w każdym okresie składnika sygnału o najwyższej częstotliwości.

Twierdzenie o próbkowaniu - przykłady

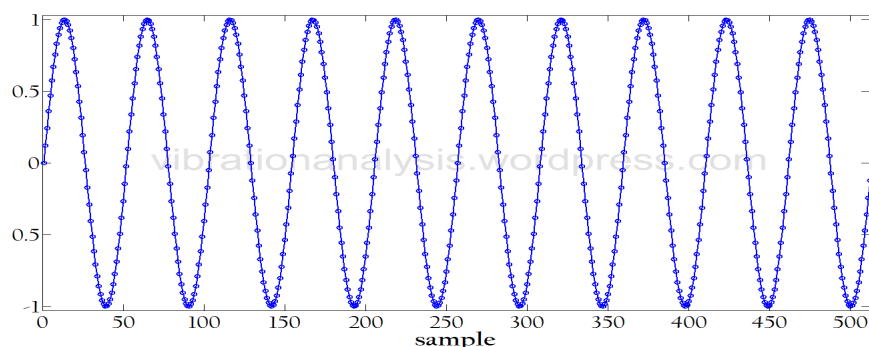
Przykład 1. Sygnał próbkowany zbyt wolno: $SPS < 2f_{max}$



Wniosek: sygnał odtworzony z próbek pobranych zbyt wolno jest zupełnie inny niż sygnał próbkowany!

11 próbek na 10 okresów sygnału: $f_{max} < SPS < 2f_{max}$

Przykład 2. Sygnał próbkowany poprawnie: $SPS > 2f_{max}$



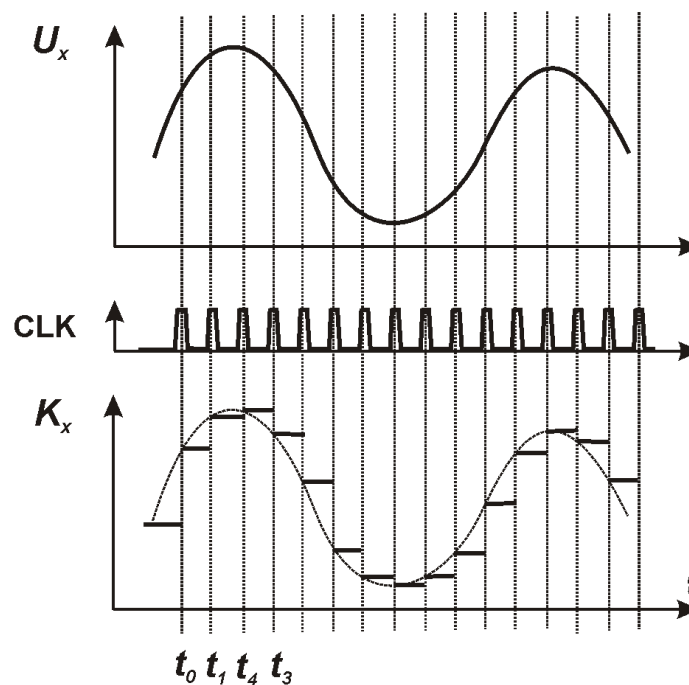
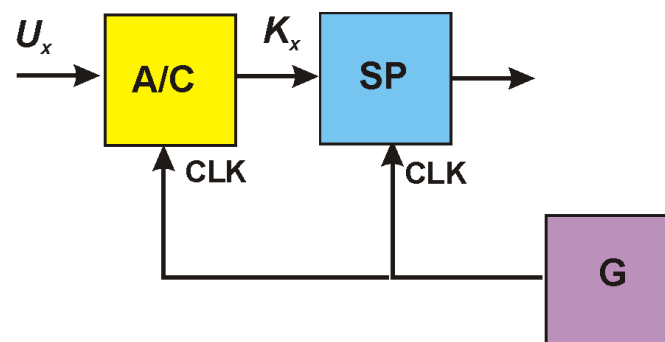
Wniosek: sygnał odtworzony z próbek pobranych odpowiednio szybko jest zgodny z sygnałem próbkowanym!

510 próbek na 10 okresów sygnału: $SPS \gg 2f_{max}$

Metody synchronizacji przetwornika A/C

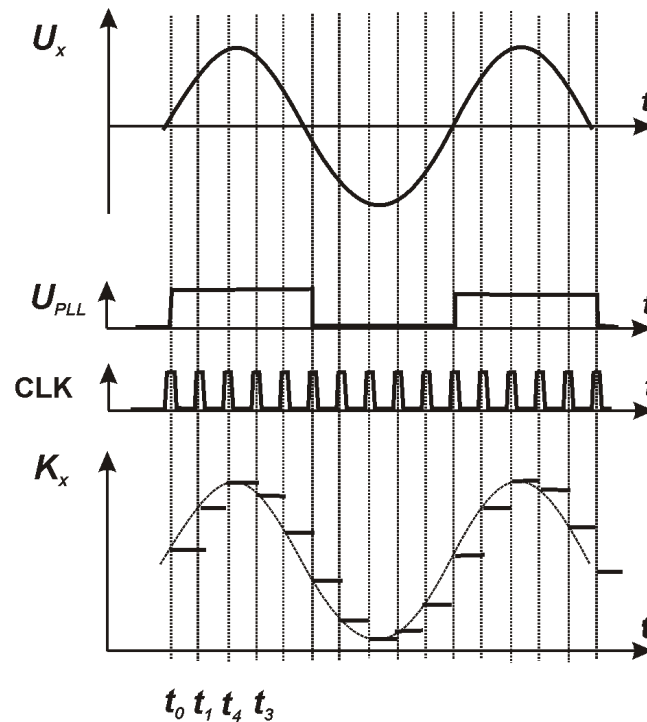
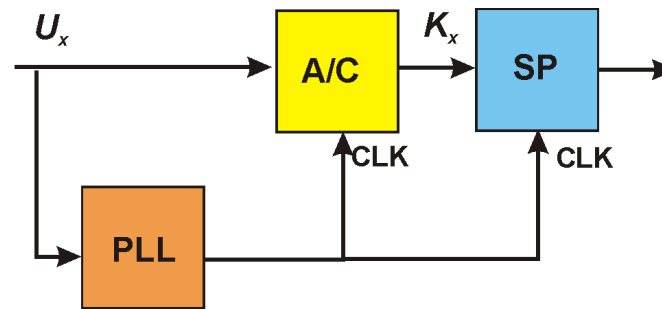
- 1- Synchronizacja własnym sygnałem zegarowym
- 2- Synchronizacja z sygnałem przetwarzanym

Metody synchronizacji przetwornika A/C



Synchronizacja własnym sygnałem zegarowym

Metody synchronizacji przetwornika A/C



Synchronizacja z sygnałem przetwarzanym

Podsumowanie

1. Współczesne komputery PC są realizowane według struktury von Neumanna.
2. Struktura harwardzka wykorzystywana jest w procesorach DSP, mikrokontrolerach jednoukładowych, sterownikach PLC.
3. W wyniku rozwoju struktury komputerów PC, do dołączania układów wejścia/wyjścia opracowano standardy magistral ISA i PCI z licznymi odmianami.
4. Kolejne wersje magistral posiadają szerszą szynę danych (od 8 do 64 bitów) oraz większą szybkość transmisji (od 2MB/s do 16GB/s).
5. Wykorzystanie magistrali wewnętrznej komputera do realizacji systemu interfejsu w systemie komputerowym posiada zarówno zalety jak i wady.
6. System PXI pozwala na wykorzystanie zalet magistrali PCI zapewniając polepszenie parametrów metrologicznych systemu.

Podsumowanie c.d.

1. Wybór systemu interfejsu w istotny sposób określa sposób realizacji PAD.
2. W Komputerowym Systemie Pomiarowym z systemem interfejsu opartym na magistrali wewnętrznej komputera (ISA, PCI, PXI, ...) zasadniczym elementem PAD jest karta pomiarowa zainstalowana we wnętrzu komputera (*Data Acquisition Card, DAQ Card*).
3. Współczesna karta pomiarowa zawiera przede wszystkim wejściowy tor analogowy oraz tory cyfrowe, licznikowe i inne zależnie od potrzeb.
4. Zasadniczym elementem wejściowego toru analogowego jest przetwornik analogowo-cyfrowy (*Analog-to-Digital Converter, ADC*).
5. Przetwornik *ADC* jest scharakteryzowany wieloma parametrami, z których najważniejsze to: rozdzielczość, zakres napięciowy, szybkość przetwarzania, błędy przetwarzania.
6. Parametry przetwornika *ADC* muszą być odpowiednio dobrane do przetwarzanego sygnału.

