

KOMPUTEROWE SYSTEMY POMIAROWE

Dr inż. Eligiusz PAWŁOWSKI
Politechnika Lubelska
Wydział Elektrotechniki i Informatyki

Prezentacja do wykładu dla EMST - ITE

Semestr zimowy

Wykład nr 7



Prawo autorskie

Niniejsze materiały podlegają ochronie zgodnie z **Ustawą o prawie autorskim i prawach pokrewnych** (Dz.U. 1994 nr 24 poz. 83 z późniejszymi zmianami).

Materiał ten udostępniam **do celów dydaktycznych** jako materiały pomocnicze do wykładu z przedmiotu Komputerowe Systemy Pomiarowe prowadzonego dla studentów Wydziału Elektrotechniki i Informatyki Politechniki Lubelskiej. Mogą z nich również korzystać inne osoby zainteresowane tą tematyką. Do tego celu materiały te można **bez ograniczeń przeglądać, drukować i kopiować wyłącznie w całości**.

Wykorzystywanie tych materiałów bez zgody autora w inny sposób i do innych celów niż te, do których zostały udostępnione, **jest zabronione**.

W szczególności **niedopuszczalne jest**: usuwanie nazwiska autora, edytowanie treści, kopiowanie fragmentów i wykorzystywanie w całości lub w części do własnych publikacji.

Eligiusz Pawłowski

Uwagi dydaktyczne

Niniejsza prezentacja stanowi **tylko i wyłącznie materiały pomocnicze** do wykładu z przedmiotu Komputerowe Systemy Pomiarowe prowadzonego dla studentów Wydziału Elektrotechniki i Informatyki Politechniki Lubelskiej. Udostępnienie studentom tej prezentacji nie zwalnia ich z konieczności sporządzania **własnych notatek z wykładów** ani też nie zastępuje **samodzielnego studiowania** obowiązujących podręczników.

Tym samym zawartość niniejszej prezentacji w szczególności **nie może być** traktowana jako zakres materiału obowiązujący na egzaminie.

Na egzaminie obowiązujący jest **zakres materiału faktycznie wyłożony podczas wykładu** oraz zawarty w odpowiadających mu fragmentach **podręczników** podanych w wykazie literatury do wykładu.

Eligiusz Pawłowski

Zasady działania przetworników A/C

Najczęściej stosowane współcześnie przetworniki analogowo-cyfrowe (*Analog-to-Digital Converter, ADC*):

- 1-Przetworniki z przetwarzaniem typu napięcie – częstotliwość (*Voltage-to-Frequency Converter, VFC*),
- 2-Przetworniki całkujące (integracyjne), najczęściej z podwójnym całkowaniem (*Dual-slope Integrating ADC*),
- 3-Przetworniki kompensacyjne, najczęściej z sukcesywną aproksymacją (*Successive Approximation Register SAR*),
- 4-Przetworniki z bezpośrednim porównaniem (*Flash*),
- 5-Przetworniki z przetwarzaniem potokowym (*Pipe Line*),
- 6-Przetworniki Sigma-Delta, $\Sigma-\Delta$.

Handlowe parametry przetworników A/C

Ponad 30 różnych parametrów !

The dialog box 'Add/Remove Parameters' contains the following parameters:

- Resolution (Bits)
- Sample Rate
- T-Put Rate
- TPut Rate(s)
- Full Pwr BW
- # Chan
- Min Input V Range
- Max Input V Range
- Ain Range
- Ref Int/Ext
- Supply V
- Single-Supply
- Pwr Diss
- Interface
- SNR (dB)
- SINAD (dB)
- SFDR (dBc)
- Analog Input Type
- IMD
- THD (dB)
- ADC Architecture
- Operating Temp
- Range
 - Features
 - Pkg Type
 - Product Description
- Conv Time
- ADC Rin
- Cin
- Sleep Pwr Diss
- Clk Int/Ext
- INL (ppm)
- Price* (1000-4999)

Buttons: Cancel, Update

Table below the dialog:

Part#	Resolution (Bits)	Sample Rate	Full Pwr BW	# Chan	Ain Range	Supply V	Interface	ADC Architecture	Conv Time
Results: 444									

Podstawowe architektury przetworników A/C

The screenshot shows a table of ADC converters with the following columns: Part#, Resolution (Bits), Sample Rate, Full Pwr BW, # Chan, Ain Range, Interface, SNR (dB), ADC Architecture, Conv Time, and Price* (100-4999). A dropdown menu is open for the 'ADC Architecture' column, showing options: All, Sigma-Delta, SAR, Pipelined, Flash, Other, Subranging, and Sigma-Delta Modulator.

Part#	Resolution (Bits)	Sample Rate	Full Pwr BW	# Chan	Ain Range	Interface	SNR (dB)	ADC Architecture	Conv Time	Price* (100-4999)
AD775	8	20MSPS	n/a	1	2 V p-p	Par			150ns	**
AD9868	10	80MSPS	n/a	1	6.3 V p-p	Nibble, Ser			12.5ns	**
AD7280	12	1MSPS	-	12	-	SPI			1µs	**
AD10242	12	40MSPS	60MHz	2	Bip 0.5V, Bip 1.0V, Bip 2.0V, Uni -1.0V, Uni -2.0V, Uni -4.0V, Uni 1.0V, Uni 2.0V, Uni 4.0V	Par	68	Pipelined	62.5ns	**
AD13280	12	80MSPS	50MHz	2	1 V p-p, Bip 0.5V, Bip 1.0V	Par	70	Pipelined	12.5ns	**
AD12401	12	400MSPS	480MHz	1	1.6 V p-p, 3.2 V p-p	LVDS, Par	64	Other	2.5ns	**
AD7607	14	200kSPS	-	8	Bip 10V, Bip 5.0V	Par, Ser, SPI	-	SAR	5µs	**
AD6645-MIL	14	80MSPS	n/a	1	0.4 V p-p	Par	68.5	Pipelined	12.5ns	**
AD73460	16	2.05MSPS	2kHz	6	1.6 V p-p	Ser	72	Sigma-Delta	-	**
AD10677	16	65MSPS	210MHz	1	2.15 V p-p	Par	80	Pipelined	15.4ns	**
AD9261-10	16	160MSPS	10MHz	1	2 V p-p	Par	82.5	Sigma-Delta	n/a	**

Przykładowe szybkości przetwarzania przetworników A/C

A/D Converters | Analog to Digital Converters | Analog Devices - Windows Internet Explorer

http://www.analog.com/en/analog-to-digital-converters/ad-converters/products/index.html

ADC converters - Szukaj w G... A/D Converters | Analog ...

Part#	Resolution (Bits)	Sample Rate	Full Pwr BW	# Chan	Ain Range	Supply V	Interface	ADC Architecture	Conv Time	P
Sort	▼ ▲	▼ ▲	▼ ▲	▼ ▲					▼ ▲	
Filter By Value	>= ▼	>= ▼	>= ▼	>= ▼	= ▼	= ▼	= ▼	= ▼	>= ▼	
Update Result	All ▼				All	All		All		
Compare Parts										
Undo Compare										
<input type="checkbox"/> AD9267	16	640MSPS	10MHz	2	2 V p-p	Single(+1.8)	LVDS, Nibble	Sigma-Delta Modulator	-	
<input type="checkbox"/> AD12401	12	400MSPS	480MHz	1	1.6 V p-p, 3.2 V p-p	Multi(+3.7, +3.3, +1.5)	LVDS, Par	Other	2.5ns	
<input type="checkbox"/> AD9211-300	10	300MSPS	700MHz	1	1.25 V p-p	Multi(+1.8Anlg, +1.8Dig)	LVDS, Par	Pipelined	3.3ns	
<input type="checkbox"/> AD9480	8	250MSPS	750MHz	1	1 V p-p	Single(+3.3)	LVDS, Par	Pipelined	4ns	
<input type="checkbox"/> AD9481	8	250MSPS	750MHz	1	(Vref) p-p, 1 V p-p	Single(+3.3)	Par	Pipelined	4ns	
<input type="checkbox"/> AD9601-250	10	250MSPS	700MHz	1	1 V p-p, 1.25 V p-p, 1.5 V p-p	Multi(+1.8Anlg, +1.8Dig)	Par	Pipelined	4ns	
<input type="checkbox"/> AD9239-250	12	250MSPS	780MHz	4	1.25 V p-p	Multi(+1.8Anlg, +1.8Dig), Single (+1.8)	Ser	Pipelined	4ns	
<input type="checkbox"/> AD9230-250	12	250MSPS	700MHz	1	1.25 V p-p	Multi(+1.8Anlg, +1.8Dig)	LVDS, Par	Pipelined	4ns	
<input type="checkbox"/> AD9626-250	12	250MSPS	700MHz	1	1 V p-p, 1.25 V p-p, 1.5 V p-p	Multi(+1.8Anlg, +1.8Dig), Single (+1.8)	Par	Pipelined	4ns	
<input type="checkbox"/> AD9410	10	240MSPS	500MHz	1	1.5 V p-p	Multi(+3.3, +5)	Par	Pipelined	4.8ns	

Start W_07 A/D Converters | Ana... Corel PHOTO-PAINT 9 PL 17:37

Przykładowe (małe) czasy przetwarzania przetworników A/C

The screenshot shows a web browser window with the URL <http://www.analog.com/en/analog-to-digital-converters/ad-converters/products/index.html>. The browser displays a table of various A/D converters. A red dotted line highlights the row for the AD9410 converter.

Part Number	Resolution (bits)	Sampling Rate (S/PS)	Input Rate (Hz)	Channels	Input Range	Input Voltage (V)	Architecture	Conversion Time (ns)	Price (\$)
AD7730L	24	5MSPS	23.4kHz	2	(2Vref/PGA Gain) p-p	114	Sigma-Delta	n/a	\$8.22
AD7192	24	4.8kSPS	n/a	4	± (Vref/Gain)	n/a	Sigma-Delta	n/a	\$4.90
AD7190	24	n/a	n/a	5	(2Vref/PGA Gain) p-p	n/a	Sigma-Delta	n/a	\$5.90
AD7732	24	3.05MSPS	14kHz	2	Bip 10V, Bip 5.0V, Uni 10V, Uni 5.0V	n/a	Sigma-Delta	n/a	\$8.80
AD7765	24	40MSPS	n/a	1	6.5 V p-p	109	Sigma-Delta	n/a	\$9.06
AD7764	24	40MSPS	n/a	1	6.5 V p-p	109	Sigma-Delta	n/a	\$14.12
AD9864	24	18MSPS	n/a	1	-	n/a	Sigma-Delta	n/a	\$10.07
AD9874	24	26MSPS	-	1	-	n/a	Sigma-Delta	n/a	\$15.14
AD7762	24	40MSPS	250kHz	1	(1.6Vref) p-p, 4 V p-p, 6.5 V p-p	112	Sigma-Delta	n/a	\$18.17
AD7763	24	40MSPS	n/a	1	4 V p-p, 6.5 V p-p	107	Sigma-Delta	n/a	\$18.17
AD6650	24	52MSPS	n/a	2	2 V p-p	n/a	Pipelined	n/a	\$20.61
AD7760	24	40MSPS	1.35MHz	1	4 V p-p, 6.5 V p-p	112	Sigma-Delta	n/a	\$35.37
AD12401	12	400MSPS	480MHz	1	1.6 V p-p, 3.2 V p-p	64	Other	2.5ns	**
AD9211-300	10	300MSPS	700MHz	1	1.25 V p-p	59.2	Pipelined	3.3ns	\$32.38
AD9480	8	250MSPS	750MHz	1	1 V p-p	47	Pipelined	4ns	\$18.20
AD9481	8	250MSPS	750MHz	1	(Vref) p-p, 1 V p-p	46	Pipelined	4ns	\$16.19
AD9601-250	10	250MSPS	700MHz	1	1 V p-p, 1.25 V p-p, 1.5 V p-p	59.4	Pipelined	4ns	\$32.38
AD9239-250	12	250MSPS	780MHz	4	1.25 V p-p	64.1	Pipelined	4ns	\$101.15
AD9230-250	12	250MSPS	700MHz	1	1.25 V p-p	64.1	Pipelined	4ns	\$35.42
AD9626-250	12	250MSPS	700MHz	1	1 V p-p, 1.25 V p-p, 1.5 V p-p	64	Pipelined	4ns	\$34.91
AD9239-210	12	210MSPS	780MHz	4	1.25 V p-p	64.5	Pipelined	4.76ns	\$101.15
AD9410	10	210MSPS	500MHz	1	1.5 V p-p	55	Pipelined	4.8ns	\$53.10

Przykładowe (duże) czasy przetwarzania przetworników A/C

The screenshot shows a table of ADC converters with the following columns: Part#, Resolution (Bits), Sample Rate, Full Pwr BW, # Chan, Ain Range, Supply V, Interface, ADC Architecture, and Conv Time. The 'Conv Time' column is highlighted with a red box and a red dotted line. The table lists several models with their respective conversion times.

Part#	Resolution (Bits)	Sample Rate	Full Pwr BW	# Chan	Ain Range	Supply V	Interface	ADC Architecture	Conv Time
AD7709	16	n/a	25Hz	4	(2Vref/PGA Gain) p-p	Single(+3), Single(+3.3), Single(+5)	Ser, SPI	Sigma-Delta	100ms
AD7719	24	n/a	25Hz	6	(2Vref) p-p, (2Vref/PGA Gain) p-p, (Vref) p-p	Multi(+3, +5), Single(+3), Single(+3.3), Single(+5)	Ser, SPI	Sigma-Delta	100ms
AD7783	24	n/a	n/a	1	0.32 V p-p, 5.12 V p-p	Single(+3), Single(+5)	Ser, SPI	Sigma-Delta	50ms
AD7782	24	4.2MSPS	n/a	2	0.32 V p-p, 5.12 V p-p	Single(+3), Single(+5)	Ser, SPI	Sigma-Delta	50ms
AD7142	16	250kSPS	n/a	14	± 2 pF (Delta C)	Single(+2.6 to +3.6), Single(+2.7), Single(+3), Single(+3.3)	I ² C/Ser 2-Wire, Ser, SPI	Sigma-Delta	36ms
AD7143	16	n/a	n/a	8	± 2 pF (Delta C)	Single(+2.6 to +3.6)	I ² C/Ser 2-Wire, Ser	Sigma-Delta	25ms
AD7711	24	19.5kSPS	269Hz	2	Bip (Vref/PGA Gain), Uni (Vref/PGA Gain)	Dual(+5, -5), Multi(±5, +5 logic), Single(+5)	Ser	Sigma-Delta	24ms

Przykładowe (małe) rozdzielczości przetwarzania przetworników A/C

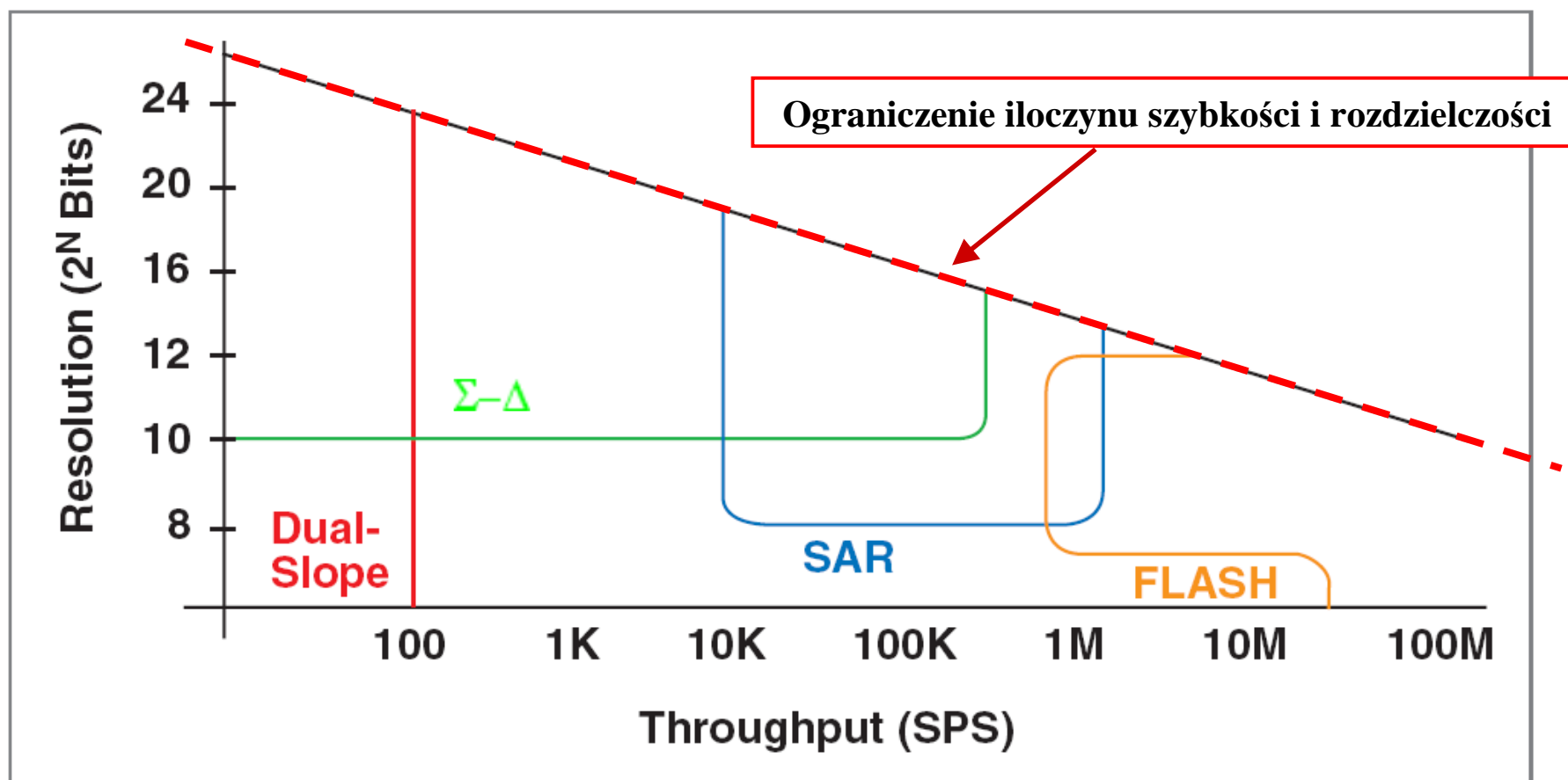
Part#	Resolution (Bits)	Sample Rate	Full Pwr BW	# Chan	Ain Range	Supply V	Interface	ADC Architecture	Conv Time
AD9066	6	60MSPS	100MHz	2	0.5 V p-p	Single(+5)	Par	Pipelined	44.3ns
AD9480	8	250MSPS	750MHz	1	1 V p-p	Single(+3.3)	LVDS, Par	Pipelined	4ns
AD9481	8	250MSPS	750MHz	1	(Vref) p-p, 1 V p-p	Single(+3.3)	Par	Pipelined	4ns
AD9288-40	8	40MSPS	475MHz	2	1 V p-p	Single(+3), Single(+3.3)	Par	Pipelined	25ns
AD9283-50	8	50MSPS	475MHz	1	1 V p-p	Single(+3), Single(+3.3)	Par	Pipelined	20ns
AD9288-80	8	80MSPS	475MHz	2	1 V p-p	Single(+3), Single(+3.3)	Par	Pipelined	12.5ns
AD9288-100	8	100MSPS	475MHz	2	1 V p-p	Single(+3), Single(+3.3)	Par	Pipelined	10ns
AD9283-100	8	100MSPS	475MHz	1	1 V p-p	Single(+3)	Par	Pipelined	10ns
AD9289	8	65MSPS	400MHz	4	1 V p-p, 2 V p-p	Single(+3), Single(+3.3)	Ser	Pipelined	15.4ns
AD9054A-135	8	135MSPS	350MHz	1	1 V p-p	Single(+5)	Par	Pipelined	7.4ns
AD9054A-200	8	200MSPS	350MHz	1	1 V p-p	Single(+5)	Par	Pipelined	5ns
AD9483-100	8	100MSPS	330MHz	3	1 V p-p	Single(+5)	Par	Pipelined	10ns
AD9483-140	8	140MSPS	330MHz	3	1 V p-p	Single(+5)	Par	Pipelined	7ns

Przykładowe (duże) rozdzielczości przetwarzania przetworników A/C

Part#	Resolution (Bits)	Sample Rate	Full Pwr BW	# Chan	Ain Range	Supply V	Interface	ADC Architecture	Conv Time
AD6650	24	52MSPS	n/a	2	2 V p-p	Single(+3), Single(+3.3)	Ser	Pipelined	n/a
AD7765	24	40MSPS	n/a	1	6.5 V p-p	Multi(+2.5, +5)	Ser, SPI	Sigma-Delta	n/a
AD7764	24	40MSPS	n/a	1	6.5 V p-p	Multi(+2.5, +5)	Ser, SPI	Sigma-Delta	n/a
AD7762	24	40MSPS	250kHz	1	(1.6Vref) p-p, 4 V p-p, 6.5 V p-p	Multi(+2.5, +5, +3.3to+5)	Par	Sigma-Delta	n/a
AD7763	24	40MSPS	n/a	1	4 V p-p, 6.5 V p-p	Multi(+2.5, +5, +3.3to+5)	I2S, Ser	Sigma-Delta	n/a
AD7760	24	40MSPS	1.35MHz	1	4 V p-p, 6.5 V p-p	Multi(+2.5, +5, +3.3to+5)	Par	Sigma-Delta	n/a
AD9874	24	26MSPS	-	1	-	Single(+3), Single(+3.3)	Ser	Sigma-Delta	n/a
AD9864	24	18MSPS	n/a	1	-	Single(+3), Single(+3.3)	Ser, SPI	Sigma-Delta	n/a
AD7730L	24	5MSPS	23.4Hz	2	(2Vref/PGA Gain) p-p, (Vref/PGA Gain) p-p, (2Vref/PGA	Multi(+3, +5), Single(+5)	Ser, SPI	Sigma-Delta	n/a

Powiązanie podstawowych parametrów przetworników A/C

Architecture vs. Bits and Bandwidth

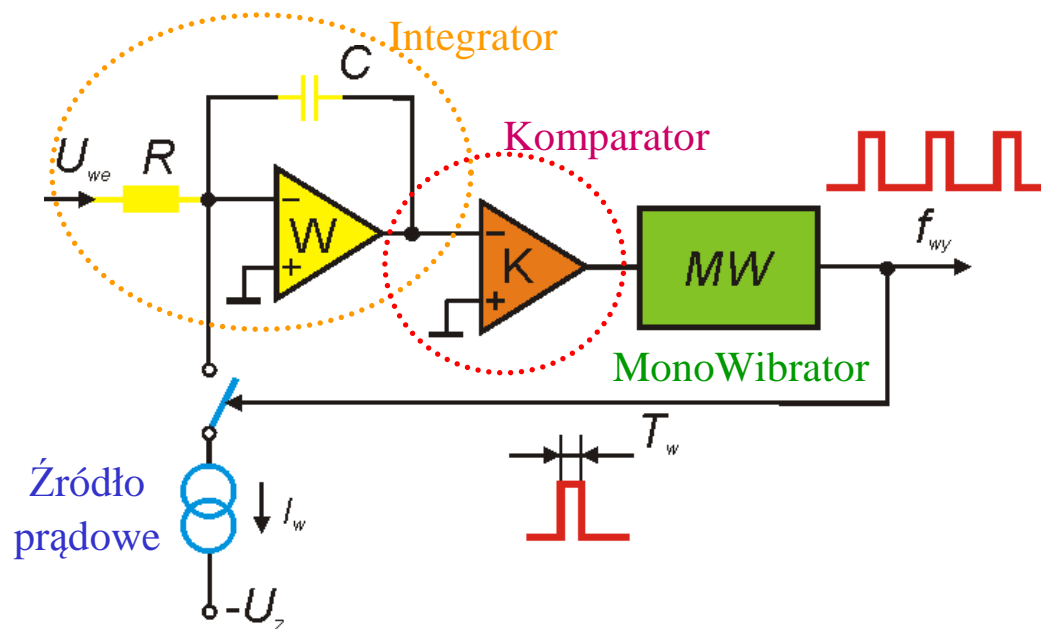


Analog-to-Digital Converter Design Guide

Porównanie podstawowych parametrów przetworników A/C

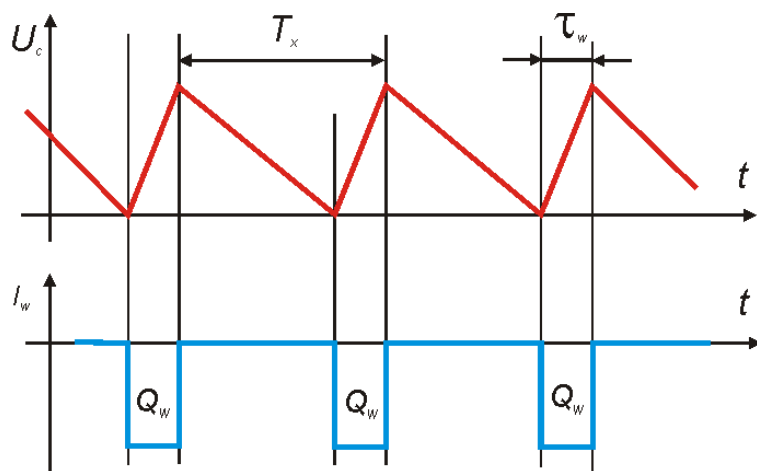
L p.	Architektura	szybkość	rozdzielczość	tłumienie zakłóceń	poziom szumów (SNR)	koszt
-	1	2	3		4	5
1	VFC	bardzo wolne, 0,1 SPS- 10 SPS	wysoka, 12- 20 bitów	bardzo dobre	–	1-10 USD
2	Integracyjne	wolne, 1 SPS- 100 SPS	wysoka, 11- 18 bitów	dobrze	–	4-10 USD
3	Kompensacyjne (SAR)	średnie, 30 KSPS- 3 MSPS	wysoka, 8-18 bitów	slabe	50-100dB	1-30 USD
4	Bezpośrednie porównanie (Flash)	bardzo szybkie, 2 MSPS- 3 GSPS	niska, 6- 8 bitów	bardzo slabe	50 dB	4 USD
5	Potokowe (Pipe Line)	szybkie, 1 MSPS- 250 MSPS	średnia, 6-16 bitów	bardzo slabe	40-80dB	2-800 USD
6	Sigma-Delta Σ - Δ	szybkie, 10 SPS- 50 MSPS	bardzo wysoka 10-24 bitów	bardzo dobre	60-130dB	1-40 USD

Zasada działania przetwornika typu napięcie – częstotliwość



$$Q_w = I_w \tau_w = \frac{u_x}{R} T_x$$

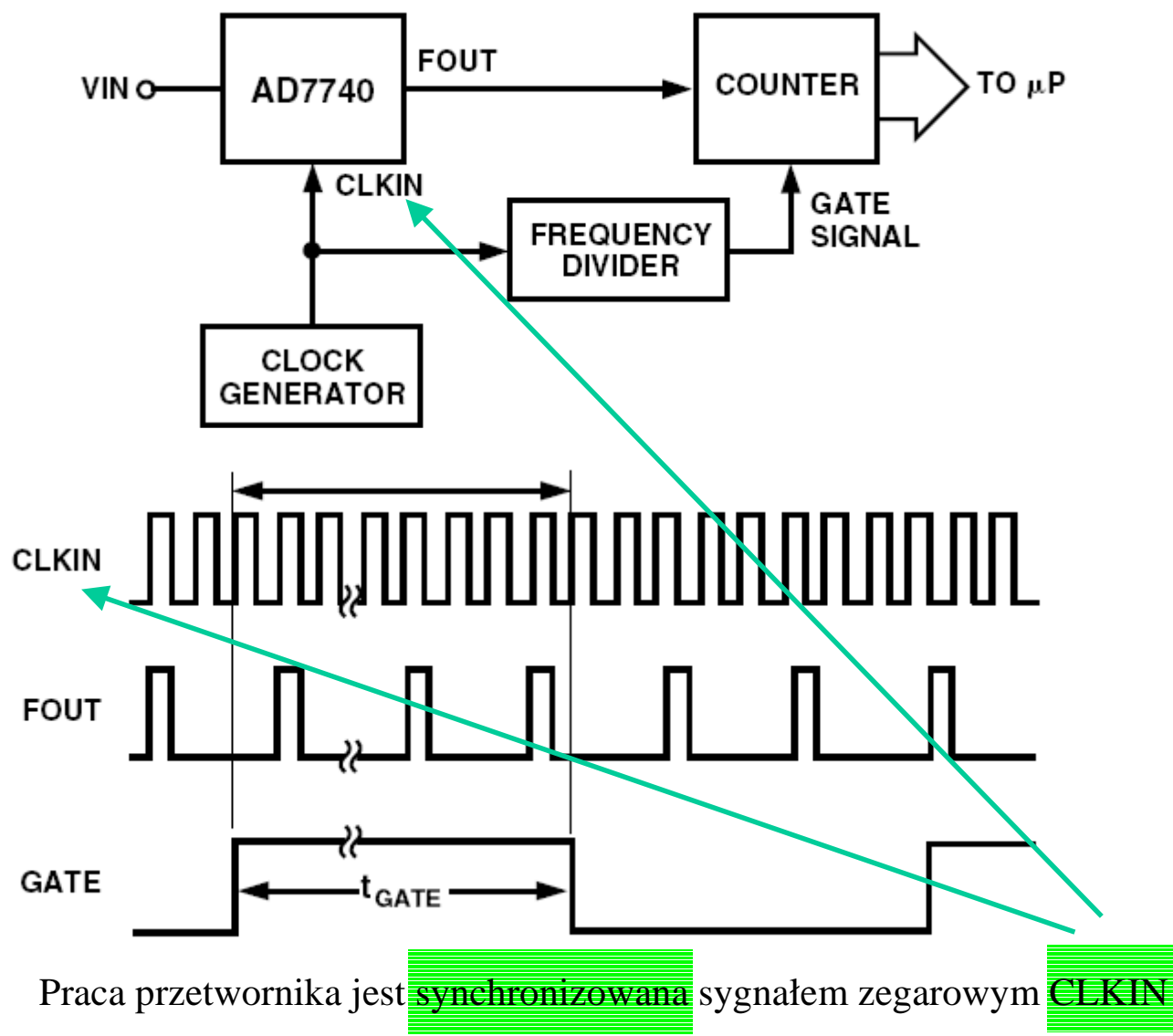
$$f_x = \frac{1}{T_x} = \frac{1}{I_w \tau_w R} u_x$$



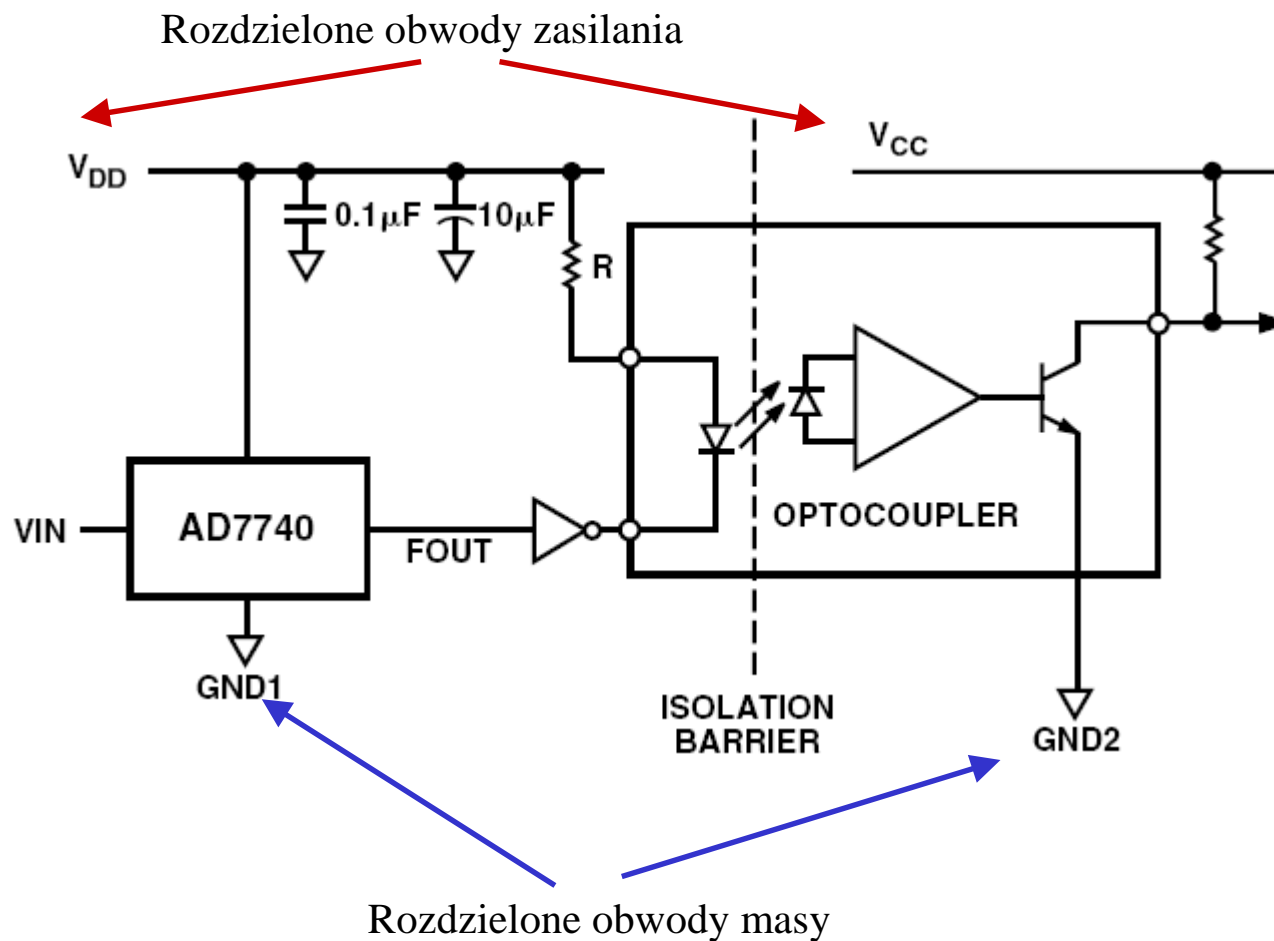
$$c_p = \frac{u_x}{f_x} = I_w \tau_w R$$

Przetwornik VFC z równoważeniem ładunku

Synchroniczny przetwornik typu napięcie – częstotliwość

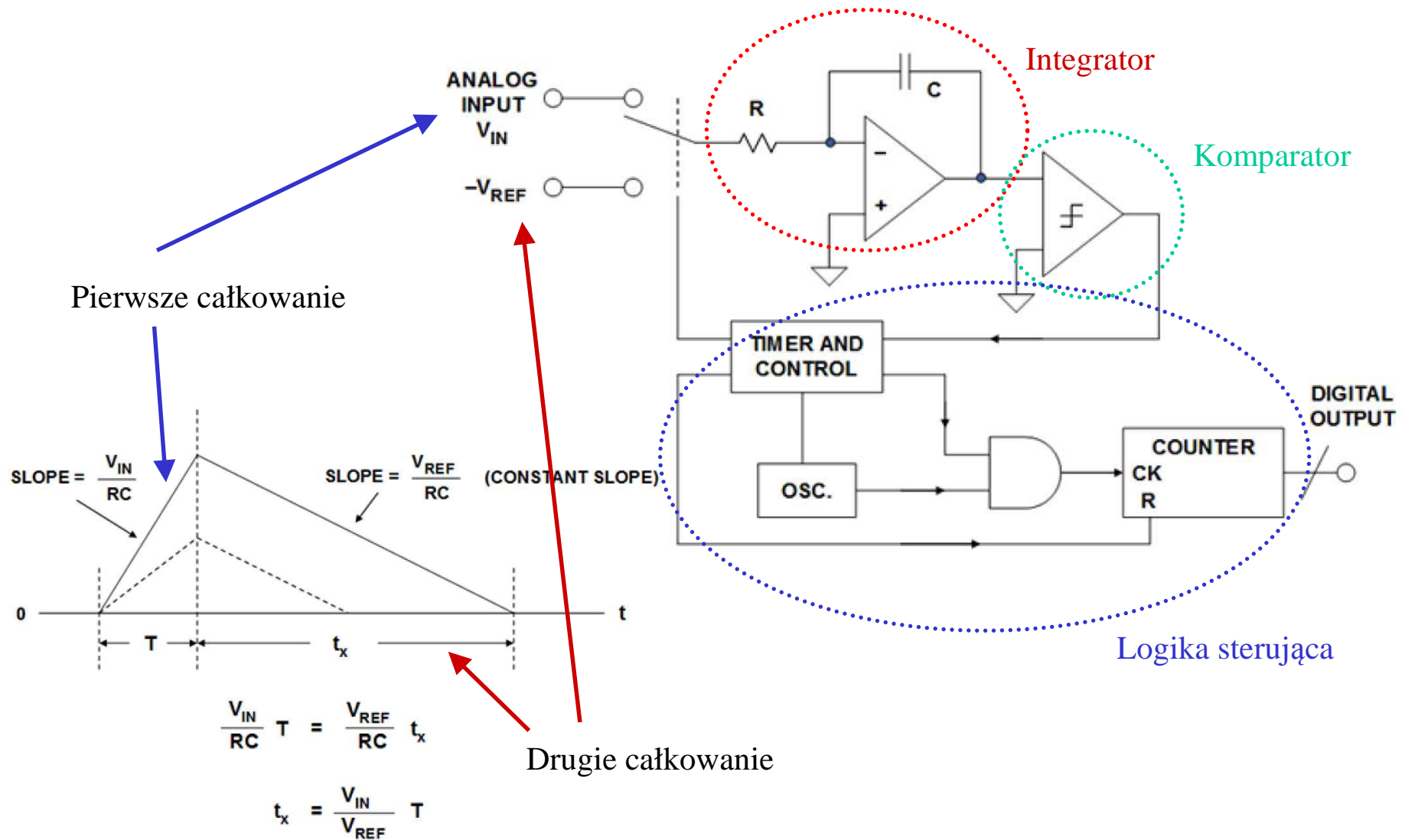


Korzystne właściwości przetwornika napięcie – częstotliwość

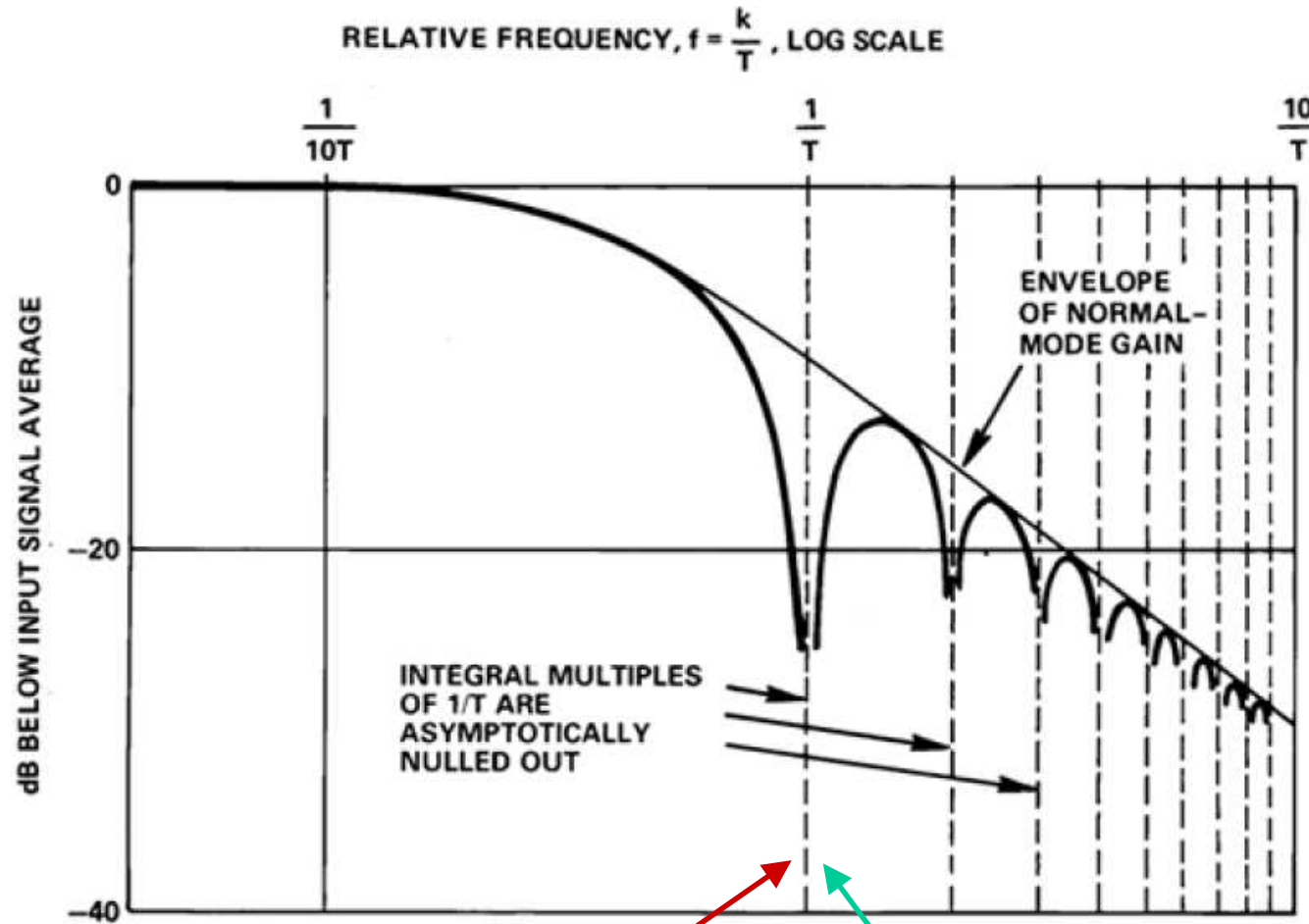


Układ izolacji galwanicznej z wykorzystaniem przetwornika VFC

Zasada działania przetwornika całkującego *Dual Slope*



Tłumienie zakłóceń w przetworniku całkującym *Dual Slope*



W Europie $T=20\text{ms}$, w Ameryce $T=16.6(6)\text{ms}$

Uniwersalną wartością jest $100\text{ms}=5 \times 20\text{ms}=6 \times 16.6(6)\text{ms}$

Popularny przetwornik *Dual Slope* ICL7106/7107

intersil[™]

DATASHEET

3¹/₂ Digit, LCD/LED Display, A/D Converters

ICL7106, ICL7107, ICL7107S

The Intersil ICL7106 and ICL7107 are high performance, low power, 3¹/₂ digit A/D converters. Included are seven segment decoders, display drivers, a reference, and a clock. The ICL7106 is designed to interface with a liquid crystal display (LCD) and includes a multiplexed backplane drive; the ICL7107 will directly drive an instrument size light emitting diode (LED) display.

The ICL7106 and ICL7107 bring together a combination of high accuracy, versatility, and true economy. It features auto zero to less than 10µV, zero drift of less than 1µV/°C, input bias current of 10pA (max) and rollover error of less than one count. True differential inputs and reference are useful in all systems, but give the designer an uncommon advantage when measuring load cells, strain gauges and other bridge type transducers. Finally, the true economy of single power supply operation (ICL7106), enables a high performance panel meter to be built with the addition of only 10 passive components and a display.

Features

- Guaranteed zero reading for 0V input on all scales
- True polarity at zero for precise null detection
- 1pA typical input current
- True differential input and reference, direct display drive
 - LCD ICL7106, LED ICL7107
- Low noise - less than 15µV_{p-p}
- On-chip clock and reference
- Low power dissipation - typically less than 10mW
- No additional active circuits required
- Enhanced display stability
- Pb-free (RoHS compliant)

Ordering Information

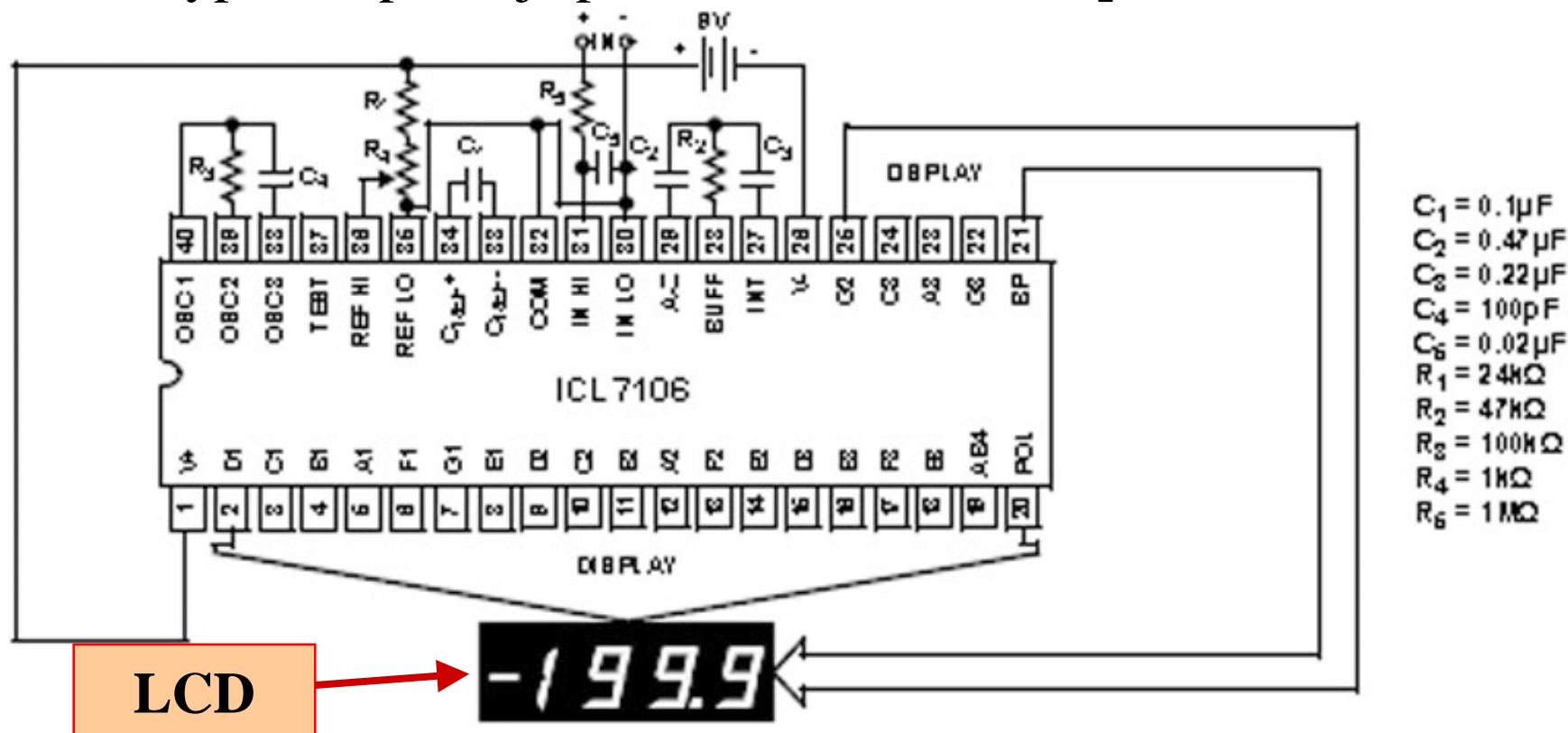
PART NUMBER (Note 2)	PART MARKING	TEMP. RANGE (°C)	PACKAGE (Pb-Free)	PKG. DWG. #
ICL7106CPLZ	ICL7106CPLZ	0 to 70	40 Ld PDIP (Note 3)	E40.6
ICL7106CM44Z (Note 4)	ICL7106 CM44Z	0 to 70	44 Ld MQFP	Q44.10x10
ICL7106CM44ZT (Notes 4, 5)	ICL7106 CM44Z	0 to 70	44 Ld MQFP Tape and Reel	Q44.10x10
ICL7107CPLZ	ICL7107CPLZ	0 to 70	40 Ld PDIP (Note 3)	E40.6
ICL7107SCPLZ	ICL7107SCPLZ	0 to 70	40 Ld PDIP (Notes 1, 3)	E40.6
ICL7107CM44Z (Note 4)	ICL7107 CM44Z	0 to 70	44 Ld MQFP	Q44.10x10
ICL7107CM44ZT (Notes 4, 5)	ICL7107 CM44Z	0 to 70	44 Ld MQFP Tape and Reel	Q44.10x10

NOTES:

1. "S" indicates enhanced stability.
2. These Intersil Pb-free plastic packaged products employ special Pb-free material sets, molding compounds/die attach materials, and 100% matte tin plate plus anneal (e3 termination finish, which is RoHS compliant and compatible with both SnPb and Pb-free soldering operations). Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.
3. Pb-free PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing applications.
4. For Moisture Sensitivity Level (MSL), please see product information page for [ICL7106](#), [ICL7107](#), [ICL7107S](#). For more information on MSL, please see tech brief [TB363](#).
5. Please refer to [TB347](#) for details on reel specifications.



Typowa aplikacja przetwornika *Dual Slope* ICL 7106



Kompletny woltomierz cyfrowy 3,5 cyfry - zakres 200mV

Rozdzielczość 0,1 mV, zakres FSR od -199.9 mV do $+199.9\text{ mV}$

Rozdzielczość $N=3999$ różnych wskazań, $n \approx 12$ bitów ($2^{12}=4096$)

Typowa aplikacja przetwornika całkującego *Dual Slope*

Woltomierz cyfrowy 4,5 cyfry

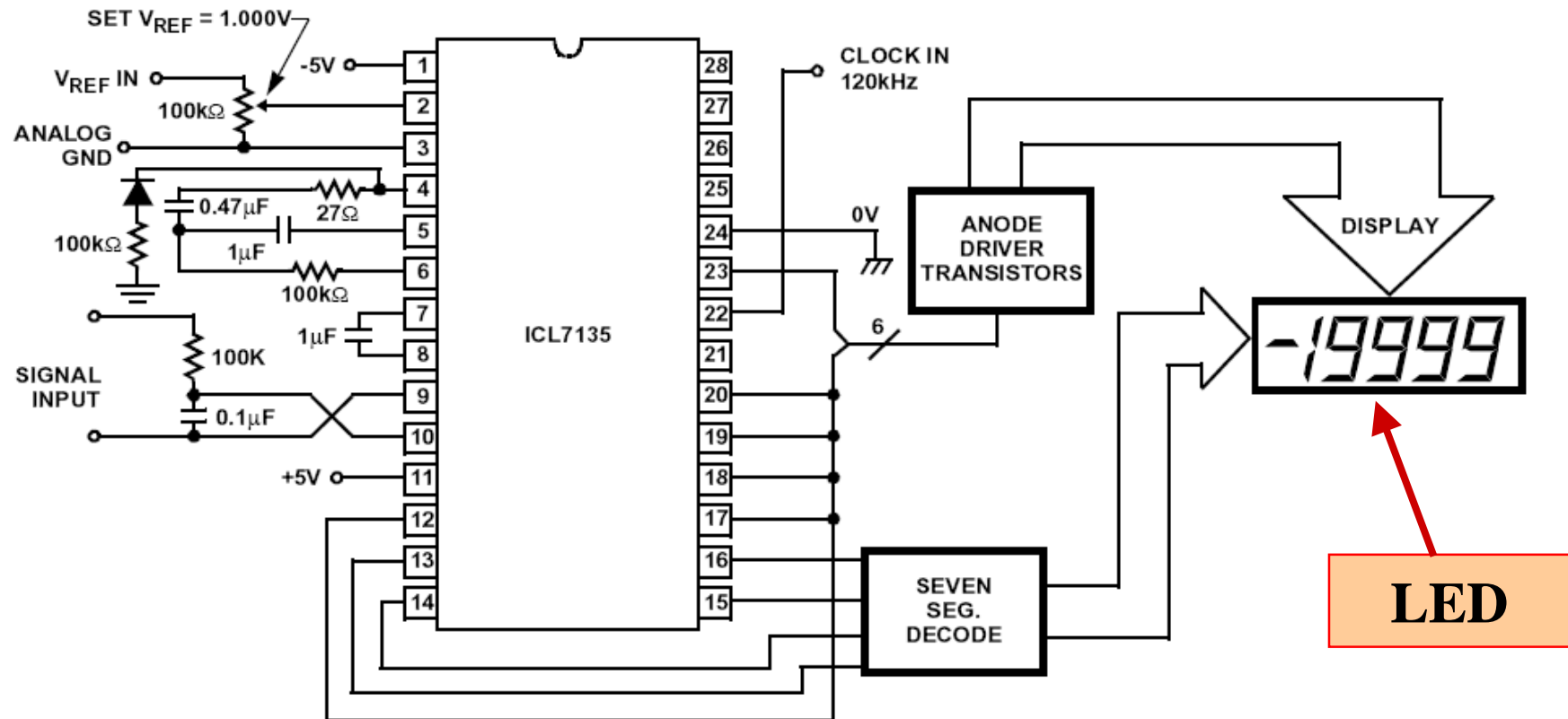
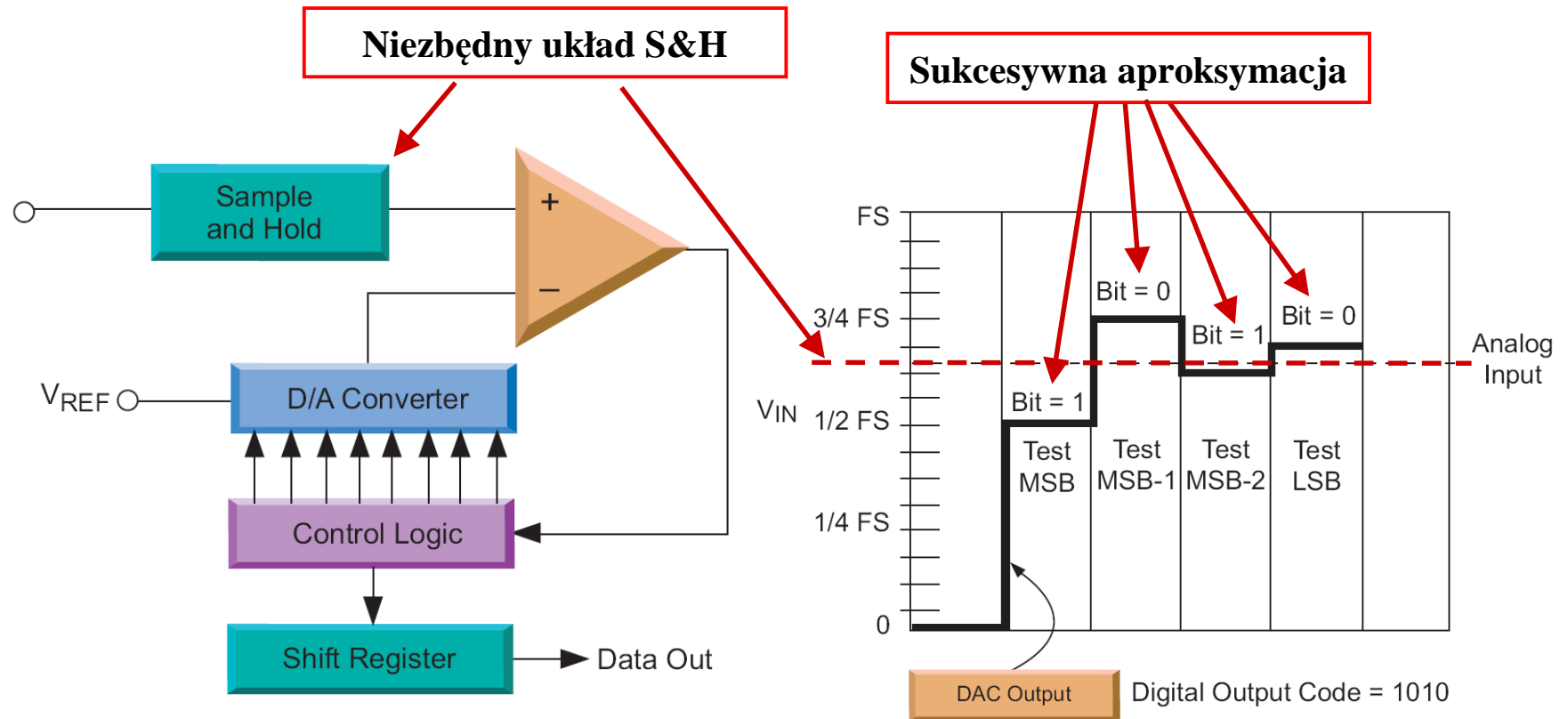


FIGURE 4. THE ICL7135 FUNCTIONAL DIAGRAM

Zasada działania przetwornika kompensacyjnego SAR



USB-6008/6009 - przetwornik kompensacyjny SAR

Specifications

The following specifications are typical at 25 °C, unless otherwise noted.

Analog Input

Converter type Successive approximation

Sukcesywna aproksymacja

Analog inputs 8 single-ended, 4 differential,
software selectable

Input resolution

USB-6008 12 bits differential,
11 bits single-ended

USB-6009 14 bits differential,
13 bits single-ended

Rozdzielczość przetwornika

Max sampling rate¹

Single channel

USB-6008 10 kS/s

USB-6009 48 kS/s

Multiple channels (aggregate)

USB-6008 10 kS/s

USB-6009 42 kS/s

AI FIFO 512 bytes

Timing resolution 41.67 ns (24 MHz timebase)

Timing accuracy 100 ppm of actual sample rate

Input range

Single-ended ±10 V

Differential ±20 V, ±10 V, ±5 V, ±4 V,
±2.5 V, ±2 V, ±1.25 V, ±1 V

Working voltage ±10 V

Napięcie robocze

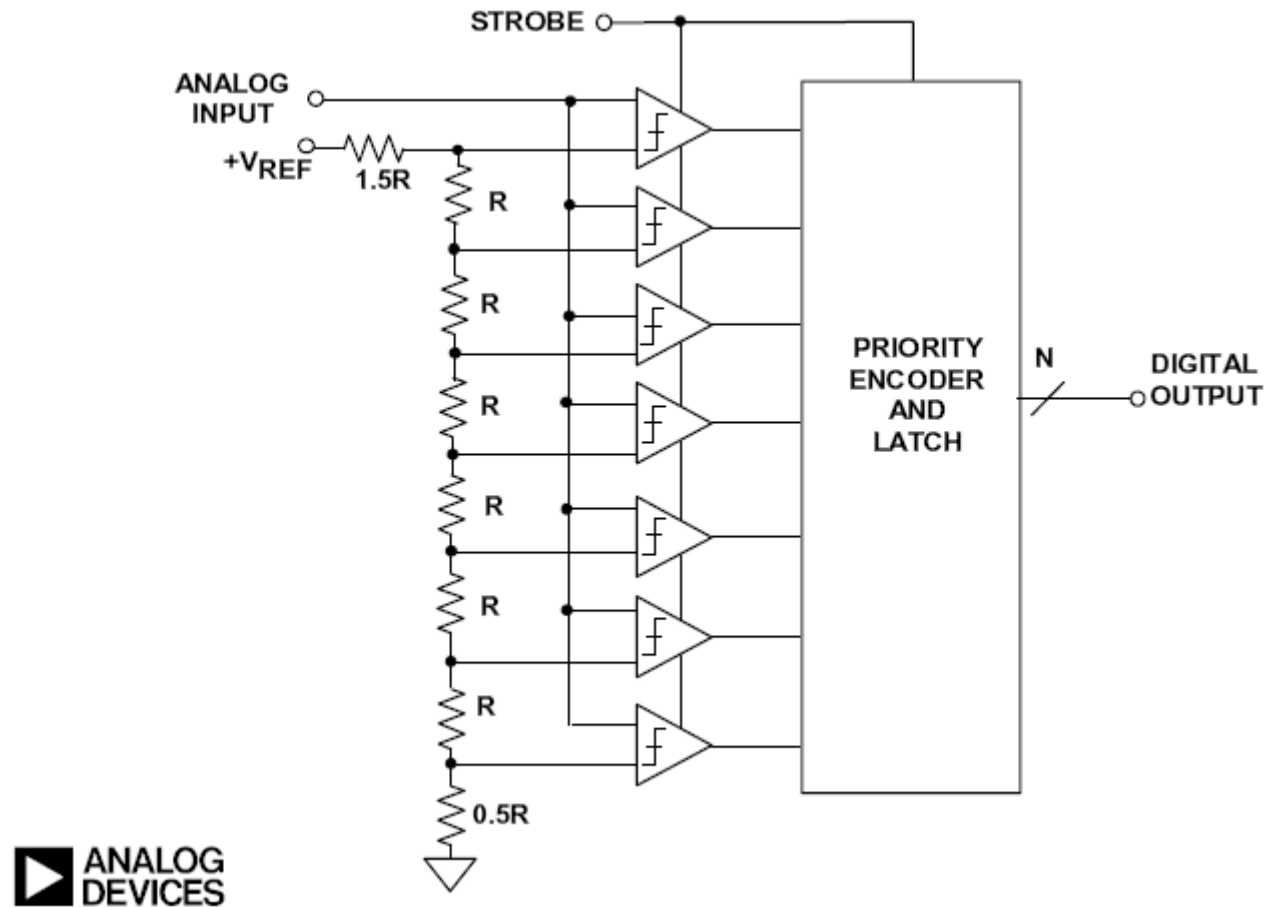
Input impedance 144 kΩ

Overvoltage protection ±35

Zabezpieczenie nadnapięciowe

¹ Might be system dependent.

Zasada działania przetwornika z bezpośrednim porównaniem *Flash*

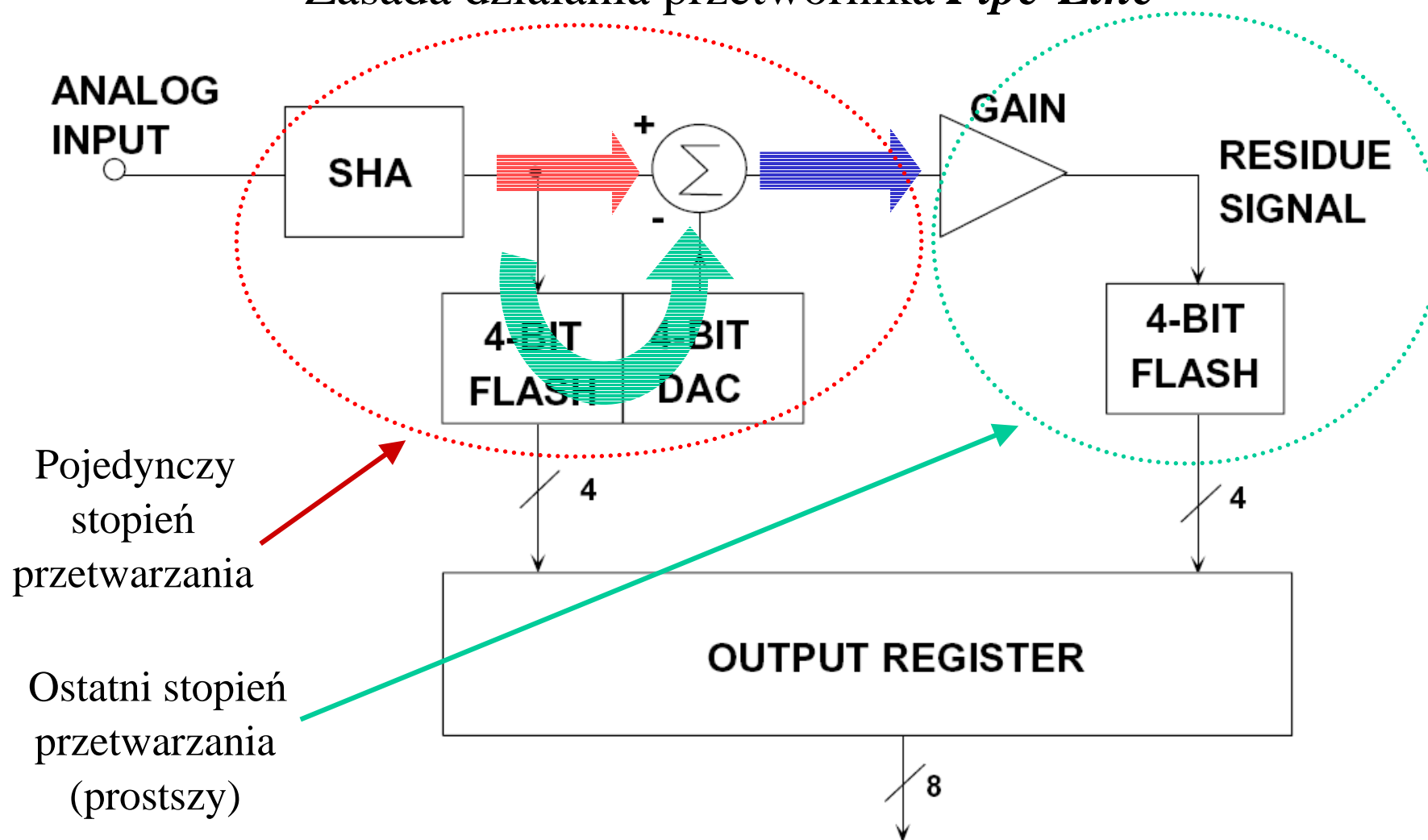


Właściwości przetwornika z bezpośrednim porównaniem *Flash*

- 1-Bardzo duża szybkość przetwarzania, powyżej 1 GSPS.
- 2-Niewielka rozdzielczość 4-8 bitów.
- 3-Trudność uzyskania dobrej liniowości, szczególnie przy większych rozdzielczościach.
- 4-Bardzo duża komplikacja układowa, silnie rosnąca przy zwiększaniu rozdzielczości.

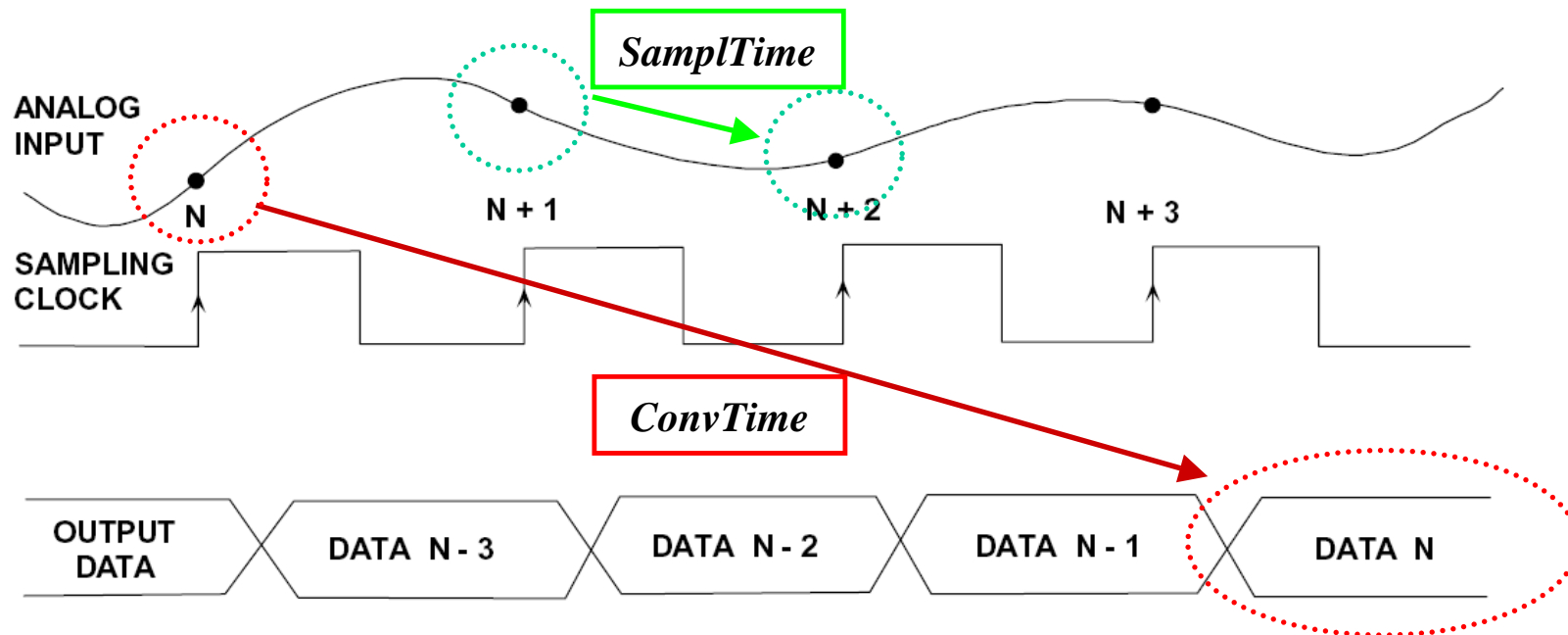
Rozwiązaniem są przetworniki z przetwarzaniem potokowym (*Pipe Line*) – połączenie struktury przetwornika z bezpośrednim porównaniem i przetwornika kompensacyjnego.

Zasada działania przetwornika *Pipe-Line*



Potokowe przetwarzanie w przetworniku *Pipe-Line*

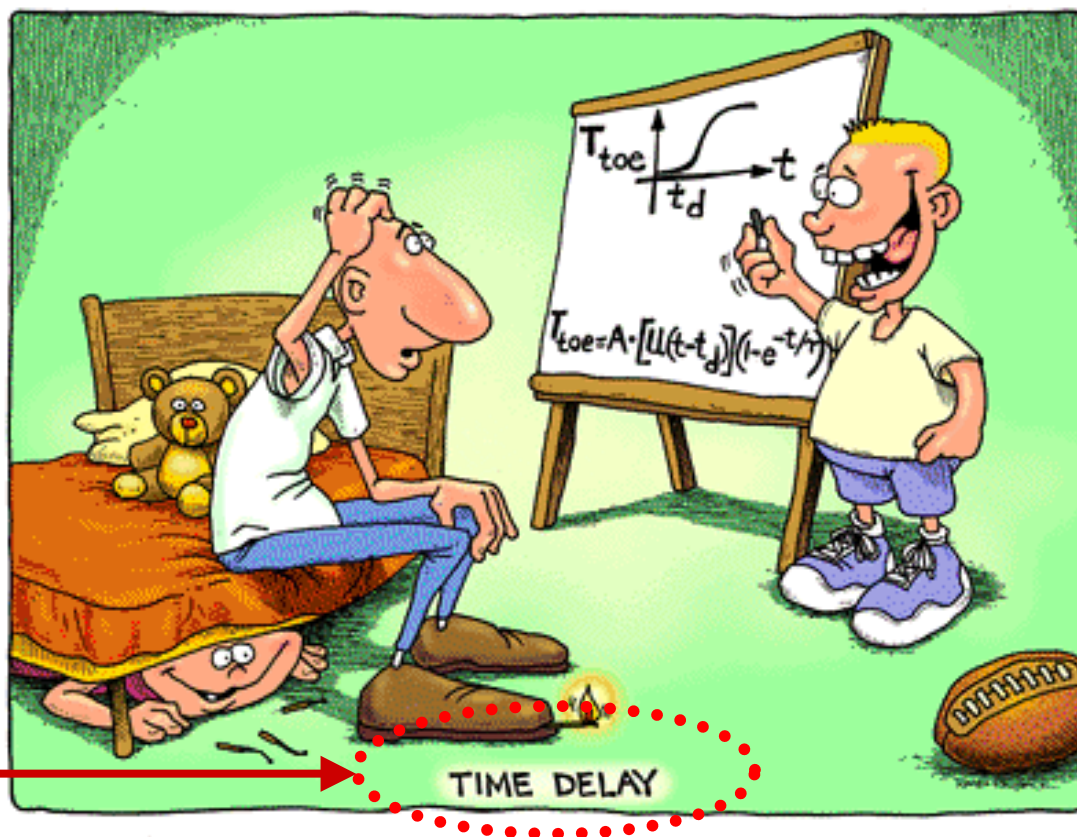
LATENCY (PIPELINE DELAY) OF AD9220/9221/9223 ADC



Czas przetwarzania pojedynczej próbki *ConvTime* jest dłuższy od okresu próbkowania i uzyskiwania wyników *SamplTime*.

Opóźnienie czasowe w przetworniku *Pipe-Line*

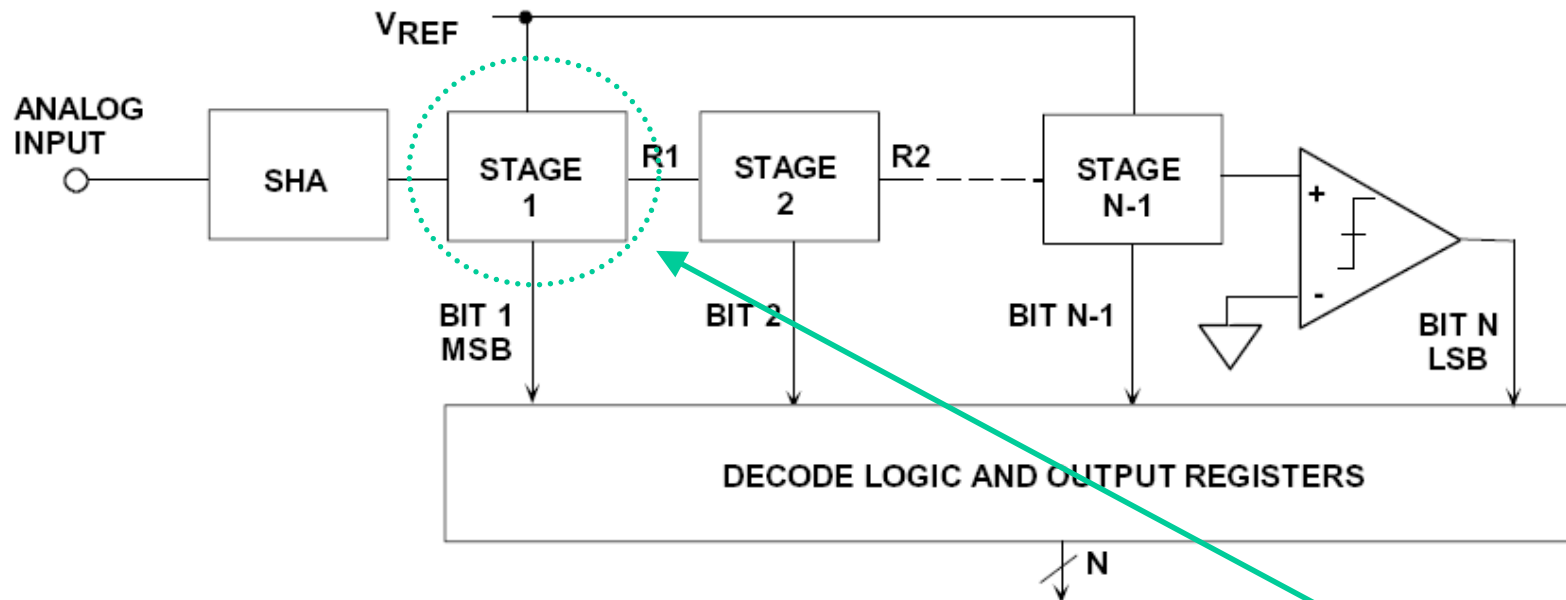
W przetworniku *Pipe-Line* występuje opóźnienie czasowe przy przetwarzaniu pojedynczej próbki, kilkakrotnie dłuższe od okresu próbkowania i uzyskiwania wyników.



Opóźnienie
czasowe

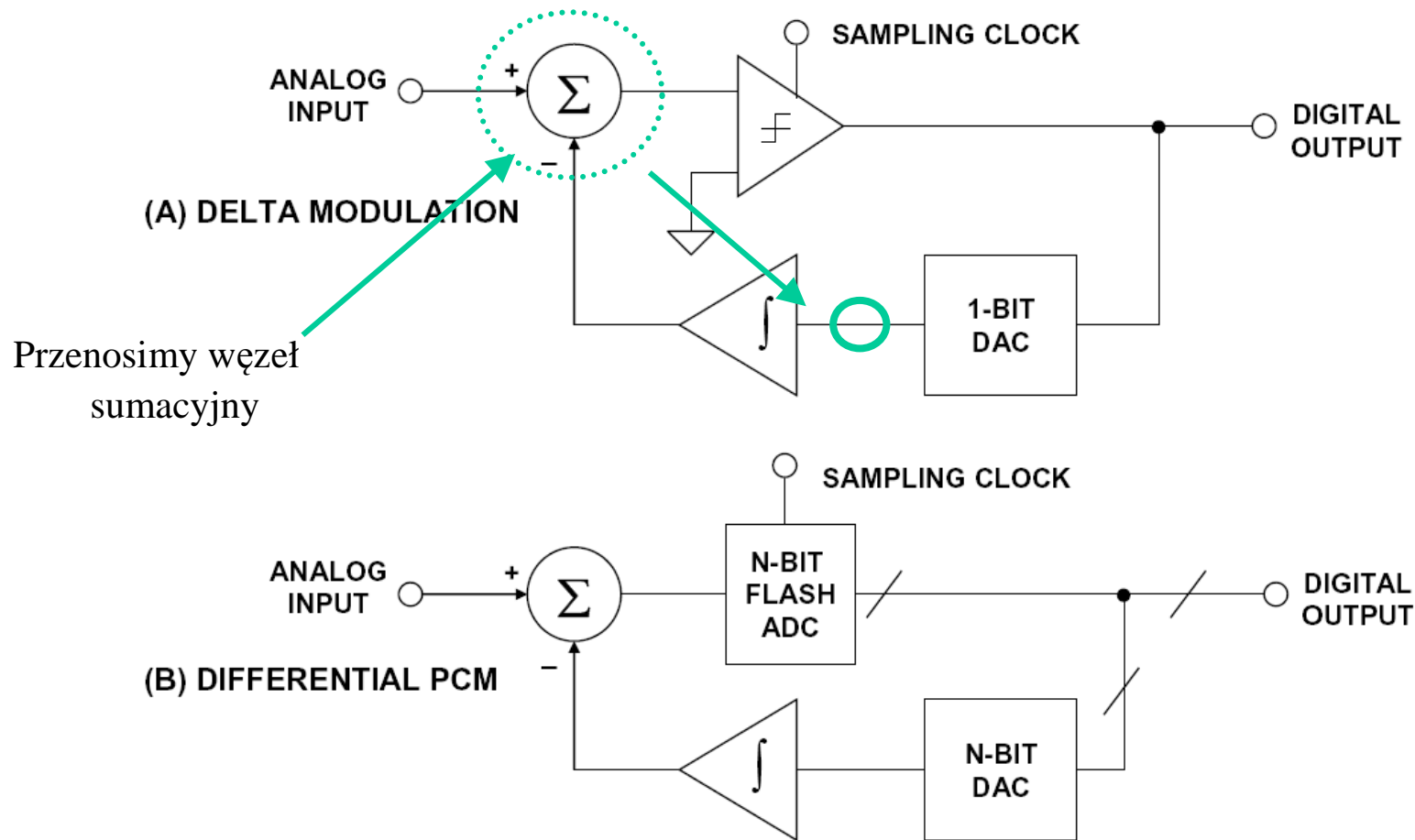
Potokowe przetwarzanie w przetworniku *Bit-per-Stage*

BIT-PER-STAGE, SERIAL, OR RIPPLE ADC



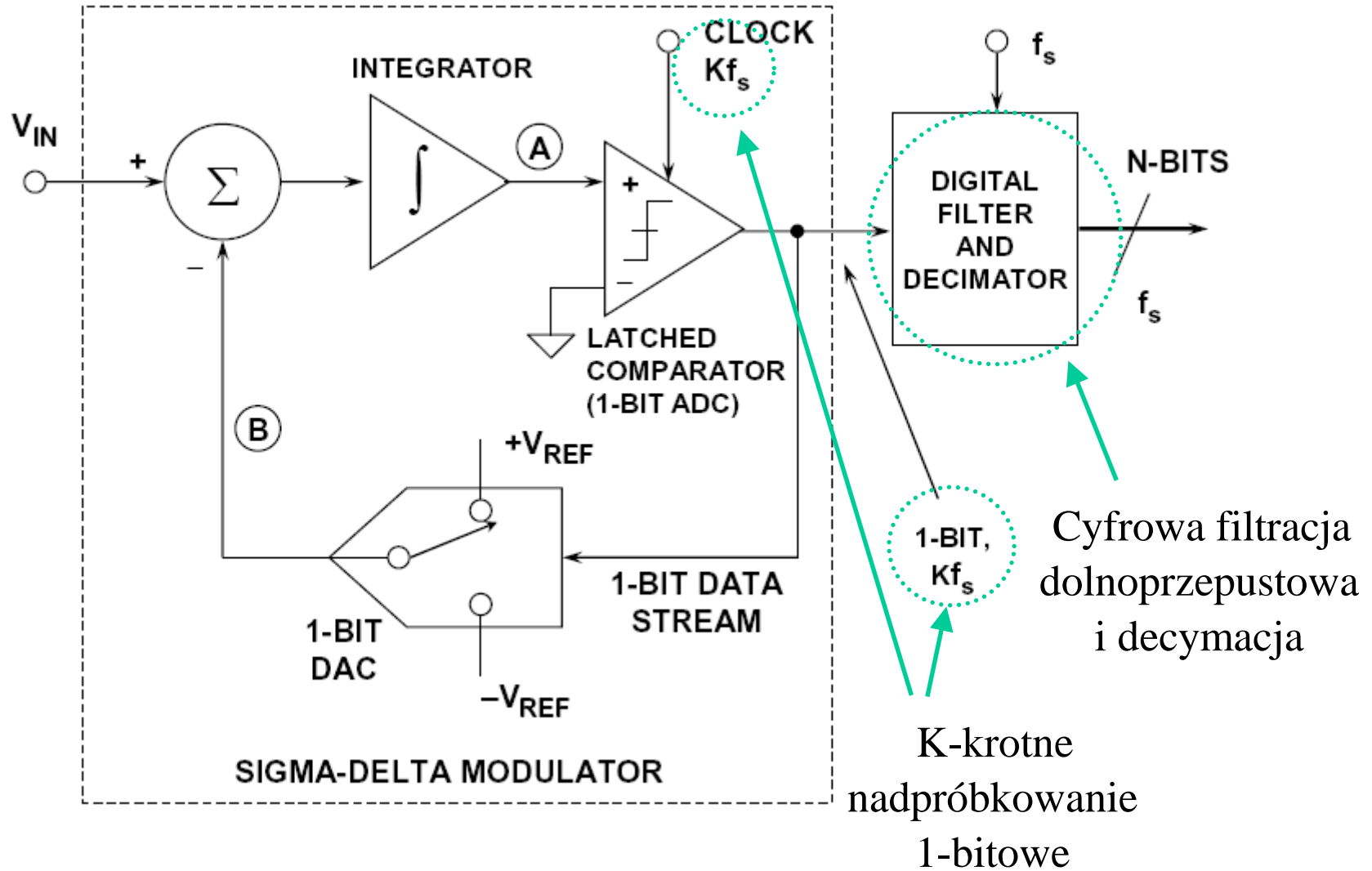
Przetwornik z przetwarzaniem potokowym z 1-bitowymi stopniami konwersji.

Wstęp do zasady działania przetwornika $\Sigma-\Delta$



Zasada przetwornika z modulacją DELTA i nadążny różnicowy przetwornik PCM – wprowadzenie do przetwornika $\Sigma-\Delta$

Schemat blokowy przetwornika Σ - Δ



Przetwarzane napięcie

Przebiegi czasowe w przetworniku $\Sigma-\Delta$

$$V_{IN} = 0V$$

$$= \frac{2}{4}$$

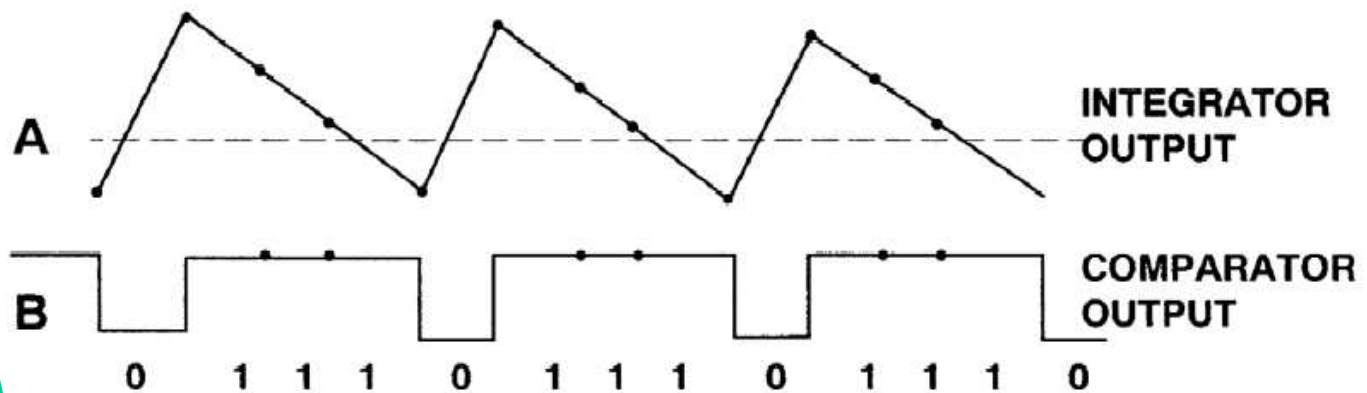
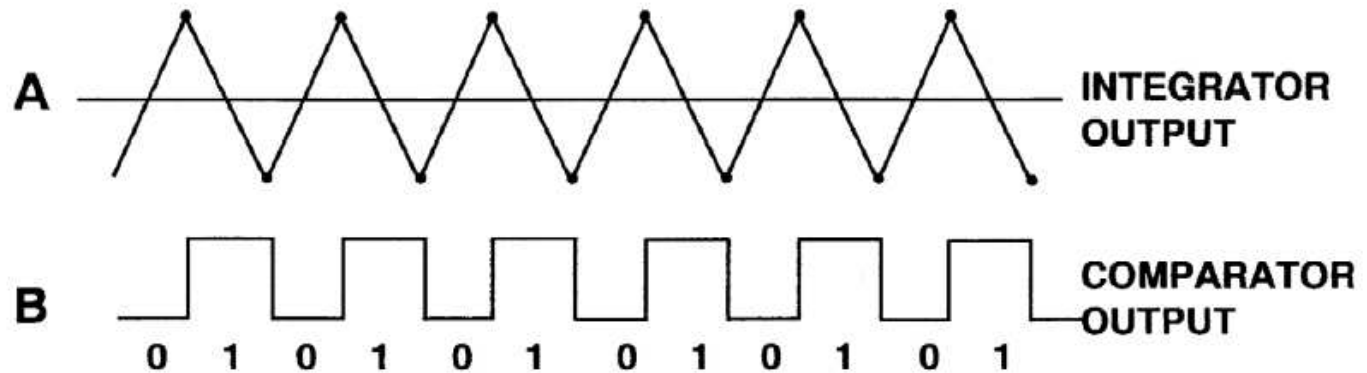
$$= \frac{4}{8}$$

$$V_{IN} = + \frac{V_{ref}}{2}$$

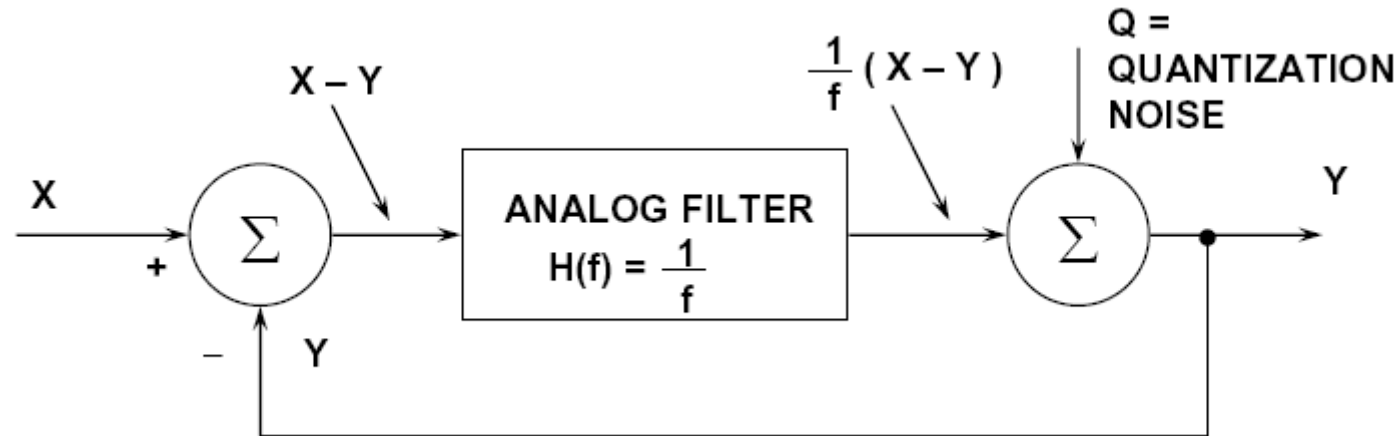
$$= \frac{3}{4}$$

$$= \frac{6}{8}$$

Wypełnienie przebiegu



Przetwarzanie sygnału i szumów kwantyzacji w przetworniku $\Sigma-\Delta$



$$Y = \frac{1}{f} (X - Y) + Q$$

REARRANGING, SOLVING FOR Y:

$$Y = \frac{X}{f+1} + \frac{Qf}{f+1}$$

SIGNAL TERM

NOISE TERM

Przetwarzany sygnał
jest filtrowany
dolnoprzepustowo

Szумы kwantowania
są filtrowane
górnoprzepustowo

Efektywna liczba bitów (ENOB) przetworników A/C

Efektywna liczba bitów definiowana jest dla N -bitowego przetwornika A/C przetwarzającego sinusoidalny sygnał o amplitudzie U_S z krokiem kwantowania q .

wartość skuteczna szumu kwantowania przetwornika A/C:

$$U_{SZ} = \frac{q}{\sqrt{12}}$$

wartość skuteczna przetwarzanego sygnału:

$$U_S = \frac{q2^N}{2\sqrt{2}}$$

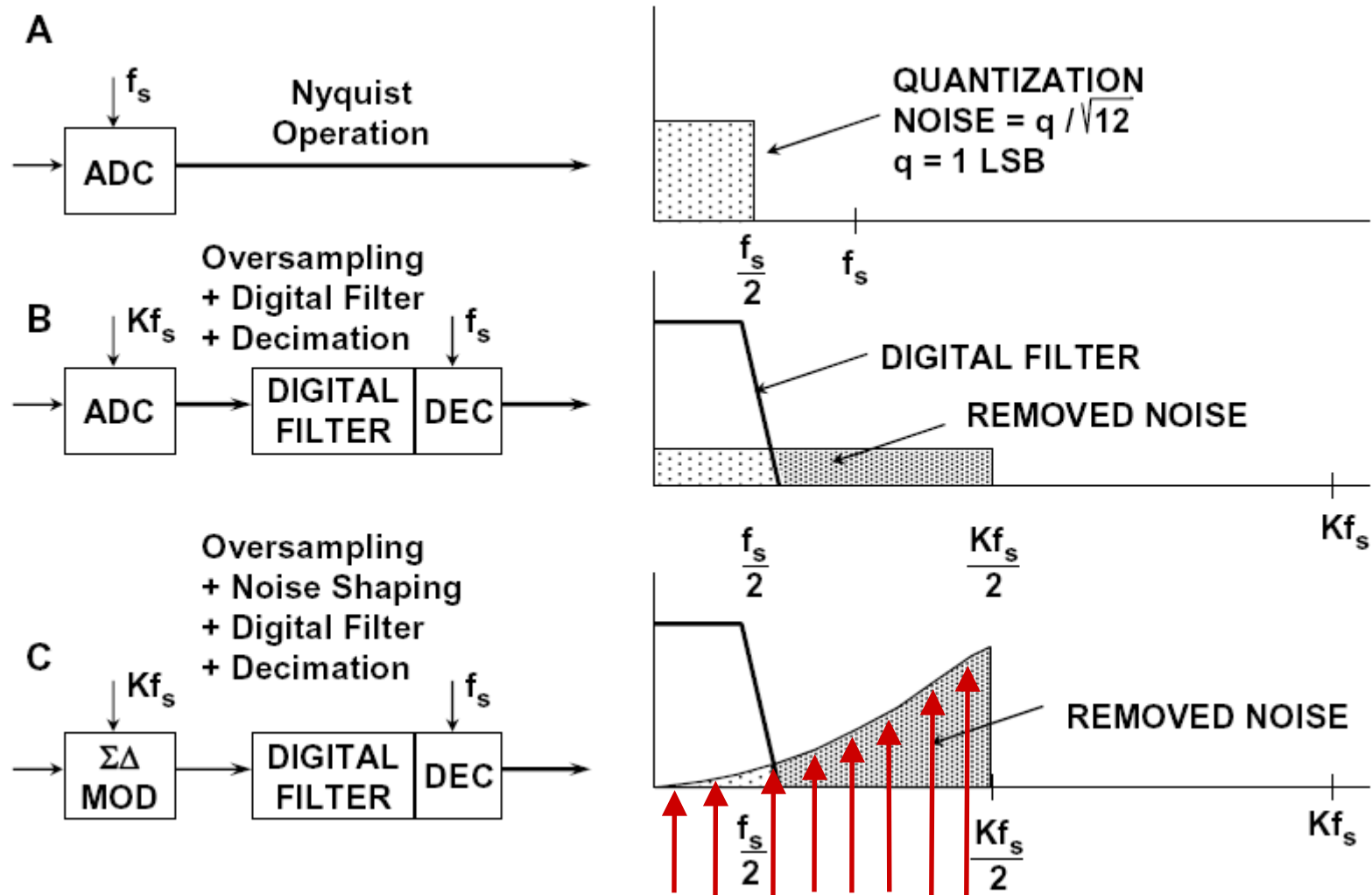
stosunek sygnału do szumu SNR (*Signal to Noise Ratio*) idealnego przetwornika:

$$\text{SNR} = 20 \log_{10} \frac{U_S}{U_{SZ}} = 20 \log_{10} \frac{q2^N}{2\sqrt{2}} \frac{\sqrt{12}}{q} = 6,02N + 1,76 \text{ dB}$$

efektywna liczba bitów ENOB (*Effective Number of Bits*) rzeczywistego przetwornika:

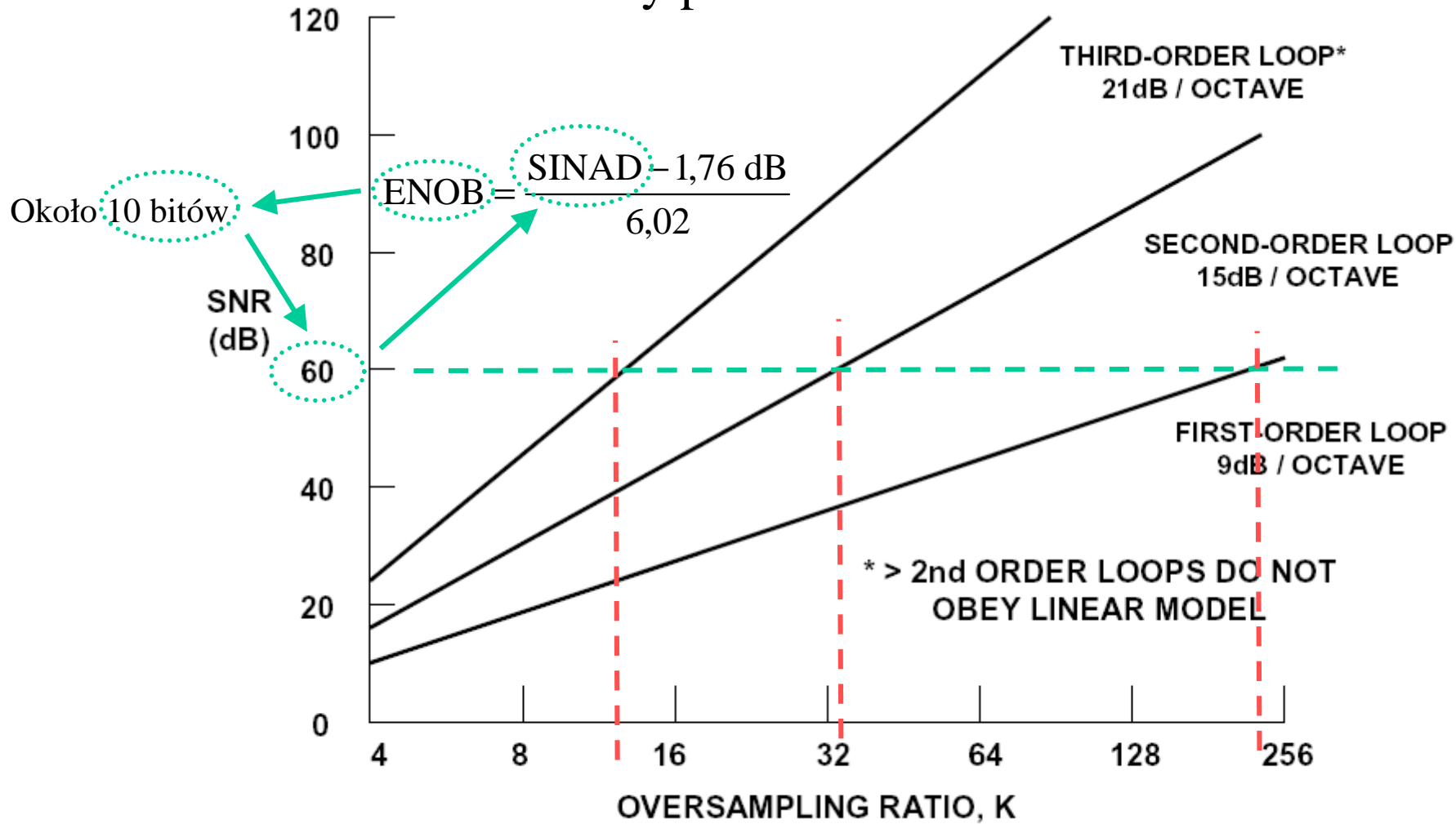
$$\text{ENOB} = \frac{\text{SINAD} - 1,76 \text{ dB}}{6,02}$$

Efekt kształtowania szumów kwantyzacji w przetworniku $\Sigma\text{-}\Delta$



Kształtowanie szumu – noise shaping

Parametry przetwornika $\Sigma-\Delta$



SNR Versus Oversampling Ratio

Podsumowanie

1. Dotychczas opracowano wiele układów przetworników A/C, w praktyce do dnia dzisiejszego wykorzystuje się około 6 podstawowych struktur.
2. Rozwój technologii powoduje zacieranie się różnic w osiągniętych parametrach przetworników o różnych architekturach.
3. Przetworniki z przetwarzaniem potokowym *Pipe Line* oraz przetworniki $\Sigma-\Delta$ wypierają powoli inne rozwiązania.
4. Przetworniki z przetwarzaniem potokowym *Pipe Line* zapewniają najszybsze przetwarzanie (do kilku GSPS) z niewielką rozdzielczością (do 8-12 bitów).
5. Przetworniki $\Sigma-\Delta$ zapewniają przetwarzanie z najwyższą rozdzielczością (do 24 bitów) z niewielkimi szybkościami (od kilkunastu SPS).
6. Pozostałe rodzaje przetworników stosowane są rzadziej, w specyficznych zastosowaniach, np. przetworniki typu napięcie-częstotliwość *VFC* dla prostego wprowadzenia układów izolacji galwanicznej.

